

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-182004

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/66	1 0 2		H 0 4 N 5/66	1 0 2 B
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	R
3/36			3/36	

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願平7-333693

(22) 出願日 平成7年(1995)12月21日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 加藤 憲一

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

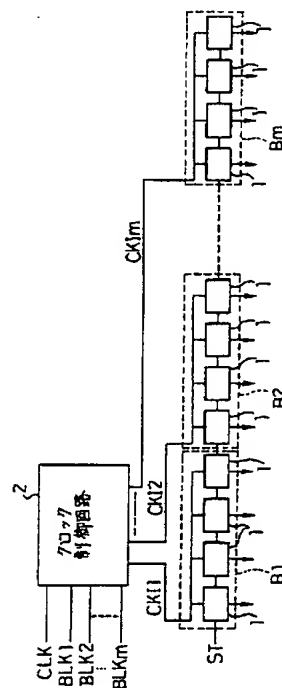
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 走査回路および画像表示装置

(57) 【要約】

【課題】 シフトレジスタが正常に動作することができ、且つシフトレジスタにおけるクロック信号線での消費電力を削減することができる走査回路、およびこの走査回路を画像表示の駆動回路に適用した画像表示装置を提供する。

【解決手段】 複数段ずつ複数のブロックに分割され、クロック信号に同期してデジタル信号を転送するシフトレジスタ1…と、デジタル信号が転送されるべきシフトレジスタを含むブロックにのみ選択的にクロック信号CKIを供給するクロック制御回路2とを備える。上記クロック制御回路2からブロックに供給されるクロック信号CKIは、該ブロックに隣接するブロックに供給されるクロック信号CKIに対して少なくとも1クロック分の重なりを有する。



【特許請求の範囲】

【請求項1】クロック信号に同期してデジタル信号を転送するシフトレジスタが、複数段ずつ複数のブロックに分割されると共に、上記クロック信号が、ブロック単位で順次供給される走査回路において、

デジタル信号が転送されるべきシフトレジスタを含むブロックにのみ選択的にクロック信号を供給するクロック制御回路を備え、

上記クロック制御回路から上記ブロックに供給されるクロック信号は、該ブロックに隣接するブロックに供給されるクロック信号に対して少なくとも1クロック分の重なりを有することを特徴とする走査回路。

【請求項2】上記クロック信号が供給されていないブロックには、定バイアスが供給されていることを特徴とする請求項1記載の走査回路。

【請求項3】上記走査回路が、多結晶シリコン薄膜トランジスタにより構成されていることを特徴とする請求項1または2記載の走査回路。

【請求項4】マトリクス状に設けられた複数の画素と、該画素に書き込む映像信号を供給する複数のデータ信号線と、

映像データの画素への書き込みを制御する制御信号を供給する複数の走査信号線と、

外部からのクロック信号に同期してタイミング信号を転送する走査回路を有し、該走査回路から出力されるタイミング信号に同期して上記データ信号線に映像信号を出力するデータ信号線駆動回路と、

外部からのクロック信号に同期してタイミング信号を転送する走査回路を有し、該走査回路から出力されるタイミング信号に同期して上記走査信号線に制御信号を出力する走査信号線駆動回路とを備え、

上記データ信号線駆動回路および走査信号線駆動回路が有している走査回路の少なくとも一方に、請求項1～3の何れかに記載の走査回路が使用されていることを特徴とする画像表示装置。

【請求項5】上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方が、上記画素と共に同一基板上に形成されていることを特徴とする請求項4記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック信号に同期してデジタル信号を転送する走査回路に関し、特に、同時にクロック信号を供給するシフトレジスタの段数を少なくすることにより、低消費電力化を実現する走査回路、及びこの走査回路をデータ信号線駆動回路または走査信号線駆動回路に適用した液晶表示装置等の画像表示装置に関するものである。

【0002】

【従来の技術】従来より、画像表示装置に液晶を用いた

液晶表示装置として、例えばアクティブ・マトリクス駆動方式のものが知られている。このような駆動方式の液晶表示装置は、本発明の説明に使用する図8および図9に示すように、画素アレイ21と、データ信号線駆動回路22と、走査信号線駆動回路23とからなっている。

【0003】画素アレイ21には、互いに交差する多数の走査信号線GLと多数のデータ信号線SLとが配されており、隣接する2本の走査信号線GLと隣接する2本のデータ信号線SLとで包囲された部分に、画素24がマトリクス状に配置されている。

【0004】画素24は、例えばスイッチング素子としての電界効果トランジスタ25と、液晶容量26と、補助容量27とによって構成されている。よって、画素24では、走査信号線GLに供給される信号のタイミングによって、電界効果トランジスタ25がON・OFFされると共に、データ信号線SLに供給される信号によって、液晶容量26および補助容量27に電圧が印加されることで、液晶の透過率等が変化され、表示が行われる。

【0005】ところで、従来のアクティブ・マトリクス型液晶表示装置は、画素トランジスタの基板材料として透明基板上に形成された非晶質シリコン薄膜が用いられ、データ信号線駆動回路や走査信号線駆動回路はそれぞれ外付けICで構成されるのが一般であった。

【0006】これに対して、近年、大画面化に伴う画素トランジスタの駆動力向上や、駆動ICの実装コストの低減、或いは、実装における信頼性等の要求から、多結晶シリコン薄膜を用いて、モノリシックに画素アレイと各駆動回路とを形成することが提案されている。更に、より大画面化および低コスト化を図るために、ガラスの歪み点(約600℃)以下のプロセス温度で、各素子をガラス基板上の多結晶シリコン薄膜で形成されることも提案されている。

【0007】このようなモノリシック構造の液晶表示装置は、例えば本発明の説明図である図13に示すように、絶縁基板51上に、画素アレイ21とデータ信号線駆動回路22および走査信号線駆動回路23とを形成したものがあ

【0008】データ信号線駆動回路22には、映像信号をデータ信号線SLに書き込む方式の違いから、点順次駆動方式と線順次駆動方式とがある。

【0009】点順次駆動方式のデータ信号線駆動回路22は、例えば図14に示すように、直列接続された複数のシフトレジスタ101…と、各シフトレジスタ101の出力端子に接続されたバッファ回路102…と、映像信号線103からのデータ信号DATをサンプリングするサンプリングスイッチ104…とからなっている。

【0010】上記構成のデータ信号線駆動回路22では、映像信号線103に入力された映像信号であるデータ信号DATを、クロック信号CLKおよびスタート信

号SPSに同期してシフトレジスタ101からバッファ回路102を介して出力されるパルス信号に同期させてサンプリングスイッチ104を開閉することにより、映像信号線103から供給されるデータ信号DATをサンプリングし、このデータ信号DATをデータ信号線SLに書き込むようになっている。

【0011】また、線順時駆動方式のデータ信号線駆動回路22は、例えば図15に示すように、上記の点順次駆動方式のデータ信号線駆動回路(図14)に加えて、サンプリングスイッチ104の出力端子に並列に接続されたサンプリング容量105およびサンプリングスイッチ107、サンプリングスイッチ107の出力端子に並列に接続されたサンプリング容量108および信号増幅アンプ109からなる。

【0012】上記構成の線順時駆動方式のデータ信号線駆動回路22では、サンプリング容量105・108で蓄えられたデータ信号DATを、次の水平走査期間において、転送信号線106から供給される転送信号TFに同期して信号増幅アンプ109を介して出力するようになっている。即ち、同一水平走査期間に蓄えられたデータ信号DATは、次の水平走査期間に出力されるようになる。

【0013】一般に、上記サンプリング容量は、データ信号線SLの容量よりも小さいので、映像信号であるデータ信号DATを映像信号線103に書き込む時間が、有効水平走査期間(水平走査期間の約80%)のデータ信号線SLの本数分の1しかないので、大画面化に伴いデータ信号線SLの時定数(容量と抵抗の積)が大きくなる場合や、高精細化にサンプリング時間が短くなる場合においても、十分な書き込みを行うことができる。このため、データ信号線駆動回路22としては、上記の点順次駆動方式よりも線順次駆動方式のほうが好適に使用される。

【0014】また、走査信号線駆動回路23は、例えば図16に示すように、シフトレジスタ101の出力端子にバッファ回路102が接続され、バッファ回路102の出力端子には論理回路112が接続され、さらに、論理回路112の出力端子にはバッファ回路113が接続された構成となっている。

【0015】上記論理回路112には、パルス信号線111からパルス信号GPSと、バッファ回路102を介してシフトレジスタ101から出力されたパルス信号とが入力され、これらの2つの信号を論理演算するようになっている。そして、演算結果をデータ信号線駆動回路22からのデータ信号DATをサンプリングするか否かの制御信号として走査信号線GLに出力するようになっている。

【0016】以上のように、データ信号線駆動回路22および走査信号線駆動回路23においては、何れもクロック信号に同期してパルス信号を順次転送する走査回路

が使用されている。この走査回路には、シフトレジスタやデコーダ等が用いられているが、入力端子数が少ないことや回路規模(構成トランジスタ数)が小さいことから、シフトレジスタが用いられることが多い。

【0017】上記シフトレジスタの回路構成としては、例えば本発明の説明図である図3に示すように、2個のクロックインバータ(CINV)と、1個のインバータ(INV)とからなるものがある。上記の2個のクロックインバータは、互いに逆位相となる内部クロック信号が入力されている。

【0018】ところで、前述の各駆動回路に用いられる走査回路では、通常、1つのパルス信号が走査されているだけなので、パルス信号の転送に伴う消費電力はそれほど大きくない。

【0019】しかしながら、走査回路を構成するシフトレジスタの段数が非常に多い画像表示装置の場合、例えば、VGA(video graphics array)パネルを使用した画像表示装置の場合では、データ信号線駆動回路において640段必要であり、走査信号線駆動回路においては480段必要である。更に、XGA(extended video graphics array)パネルを使用した画像表示装置の場合では、データ信号線駆動回路において1024段必要であり、走査信号線駆動回路においては768段必要である。

【0020】したがって、上記のようなVGAパネルやXGAパネルを駆動する駆動回路に走査回路が使用される場合には、シフトレジスタにおける各クロックインバータのクロック信号線からの入力容量の総和は非常に大きくなり、消費電力の大半を占めることになる。

【0021】特に、前述のように、多結晶シリコン薄膜トランジスタで走査回路を構成した場合、同一素子サイズでは、上記のトランジスタの性能が単結晶シリコン基板上のトランジスタに比べて劣るため、同等の性能を発揮させるためには、単結晶シリコン基板上のトランジスタよりも素子サイズを大きくし、且つ高い駆動電圧を供給する必要がある。このため、クロック信号線で消費される電力は、大幅に増加することになる。

【0022】そこで、特公昭63-50717号公報には、例えば図17に示すように、直列接続された複数段のシフトレジスタを複数段ずつ複数のブロックに分割して、ブロック単位でクロック信号CKIを供給すること、即ち何れか1つのブロックにのみクロック信号CKIを供給することで、一度にクロック信号線で消費される電力を少なくし、トータルの消費電力を低減するような「マトリクス型表示装置」が開示されている。

【0023】

【発明が解決しようとする課題】ところが、上記公報のようにシフトレジスタ201…を複数に分割し、ブロック単位で選択的にクロック信号CKIを供給するだけでは、各ブロック間で信号の転送が正しく行われな

う問題が生じる。

【0024】つまり、上記公報の構成では、図17に示すように、クロック信号CKI1が入力されたシフトレジスタ201…から、パルス信号N1、N2、N3、N4、N5が順次出力され、クロック信号CKI2が入力されたシフトレジスタ201…から、パルス信号N6、N7が出力されるようになっている。

【0025】そして、このときの各パルス信号は、図18に示すように、例えばクロック信号CKI1によって立ち上がりが転送されるパルス信号N4では、立ち下がりが転送されるべきときには、クロック信号CKI2に切り換わっているため、クロック信号CKI1がもはや供給されていないので立ち下がりが転送されないようになっている。このため、上記のパルス信号N4を出力するシフトレジスタ201は常に高電圧レベルに固定され、全体として、走査回路としての働きをしないようになる。

【0026】また、上記の逆の場合、即ちパルス信号の立ち下がりが転送されるが、立ち上がりを転送すべきときには、クロック信号がまだ供給されていない場合、シフトレジスタは常に低電圧レベルに固定され、やはり全体として、走査回路としての働きをしないようになる。

【0027】本発明は、上記の問題点を解決するためになされたもので、その目的は、シフトレジスタが正常に動作することができ、且つシフトレジスタにおけるクロック信号線での消費電力を削減することができる走査回路、およびこの走査回路を画像表示の駆動回路に適用した画像表示装置を提供することにある。

【0028】

【課題を解決するための手段】請求項1の走査回路は、上記の課題を解決するために、クロック信号に同期してデジタル信号を転送するシフトレジスタが、複数段ずつ複数のブロックに分割されると共に、上記クロック信号が、ブロック単位で順次供給される走査回路において、デジタル信号が転送されるべきシフトレジスタを含むブロックにのみ選択的にクロック信号を供給するクロック制御回路を備え、上記クロック制御回路から上記ブロックに供給されるクロック信号は、該ブロックに隣接するブロックに供給されるクロック信号に対して少なくとも1クロック分の重なりを有することを特徴としている。

【0029】上記の構成によれば、デジタル信号が転送されるべきシフトレジスタを含むブロックにのみ選択的にクロック信号が供給されるので、同時にクロック信号が供給されるシフトレジスタの個数が削減される。この結果、クロック信号線の寄生容量、即ちシフトレジスタの各ブロック内部に入力接続されている内部クロック信号線のシフトレジスタの入力ゲート容量や配線容量等を駆動するために消費される電力を大幅に削減することができる。

【0030】しかも、ブロックに供給されるクロック信号は、該ブロックに隣接するブロックに供給されるクロック信号に対して少なくとも1クロック分の重なりを有するので、シフトレジスタから出力されるパルス信号が、あるブロックのシフトレジスタから次のブロックのシフトレジスタへ転送されるときにも、立ち下がりおよび立ち上がりを転送することができる。この結果、パルス幅の正しいパルス信号を転送することができ、走査回路の動作を正常に保つことができる。

【0031】請求項2の走査回路は、上記の課題を解決するために、請求項1の構成に加えて、クロック信号が供給されていないブロックには、定バイアスが供給されていることを特徴としている。

【0032】上記の構成によれば、請求項1の作用に加えて、クロック信号が供給されていないブロックには、定バイアスが印加された状態となっているので、シフトレジスタ内の雑音等により誤ってパルス信号を出力する等のシフトレジスタの誤動作を無くすることができる。

【0033】請求項3の走査回路は、上記の課題を解決するために、請求項1または2記載の構成に加えて、走査回路が、多結晶シリコン薄膜トランジスタにより構成されていることを特徴としている。

【0034】上記の構成によれば、走査回路が、多結晶シリコン薄膜トランジスタにより構成されることで、素子の信頼性が高く、消費電力の削減効果がより大きくなる回路素子とすることができる。

【0035】これは、一般に、多結晶シリコン薄膜トランジスタにより構成された走査回路は、同等の性能を有する単結晶シリコン薄膜トランジスタにより構成された走査回路に比べて素子サイズが大きく、高い駆動電圧を必要とされるが、上記のように、高駆動電圧が必要とされる場合でも、請求項1または2記載の走査回路では消費電力が小さいので、走査回路全体の消費電力の増大を抑えることができるからである。

【0036】請求項4の画像表示装置は、上記の課題を解決するために、マトリクス状に設けられた複数の画素と、該画素に書き込む映像データを供給する複数のデータ信号線と、映像信号の画素への書き込みを制御する制御信号を供給する複数の走査信号線と、外部からのクロック信号に同期してタイミング信号を転送する走査回路を有し、該走査回路から出力されるタイミング信号に同期して上記データ信号線に映像信号を出力するデータ信号線駆動回路と、外部からのクロック信号に同期してタイミング信号を転送する走査回路を有し、該走査回路から出力されるタイミング信号に同期して上記走査信号線に制御信号を出力する走査信号線駆動回路とを備え、上記データ信号線駆動回路および走査信号線駆動回路が有している走査回路の少なくとも一方に、請求項1～3の何れかに記載の走査回路が使用されていることを特徴としている。

【0037】上記の構成によれば、データ信号線駆動回路および走査信号線駆動回路が有している走査回路の少なくとも一方に、請求項1～3の何れかに記載の走査回路が使用されていることで、走査回路内の正しいパルス幅のパルス信号を転送することができる。これにより、映像信号を表示すべき画素に適切に供給することができるので、誤信号による表示劣化をなくすることができ、高品位な画像表示を可能とする。また、上記の走査回路では、ブロック単位でクロック信号が供給されるようになっているので、各クロック信号線で消費される電力を極力抑えることができる。したがって、画像表示装置全体の消費電力を削減することが可能となる。

【0038】請求項5の画像表示装置は、上記の課題を解決するために、請求項4の構成に加えて、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方が、上記画素と共に同一基板上に形成されていることを特徴としている。

【0039】上記の構成により、請求項4の作用に加えて、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方が、上記画素と共に同一基板上に形成されていることで、画素と同一プロセスで一度に上記の各駆動回路を形成することが可能となる。

【0040】これにより、駆動回路の実装コストの低減や信頼性の向上を図ることができる。つまり、駆動回路と画素とを別々に形成した場合では、駆動回路と画素とを接続するプロセスが必要であり、このプロセスにて接続不良等が生じ回路の信頼性の低下を招くが、本願のように、駆動回路と画素とを同一プロセスで一度に形成することで、余分なプロセスを省略することができる。この駆動回路と画素との接続プロセスによる不良を無くすることができるので、回路の信頼性を向上させることができる。

【0041】

【発明の実施の形態】

〔実施の形態1〕本発明の実施の一形態について図1ないし図7に基づいて説明すれば、以下の通りである。

【0042】本実施の形態に係る走査回路は、図1に示すように、直列接続された複数段のシフトレジスタ1…と、これらシフトレジスタ1…にクロック信号を供給するクロック信号供給手段としてのクロック制御回路2とを具備した構成となっている。

【0043】上記構成の走査回路では、シフトレジスタ1…は複数のブロック B_i ($i=1, 2, \dots, m$) に分割され、このブロック単位でクロック制御回路2から出力されるクロック信号がシフトレジスタ1に供給されるようになっている。即ち、1つのブロック内に含まれるシフトレジスタ1…には、クロック制御回路2からのクロック信号が同時に入力されることになる。尚、1つのブロック B_i に含まれるシフトレジスタ1の段数は特に限定しないが、消費電力の関係からクロック信号が同

時に供給されるシフトレジスタ1の段数数はできるだけ少ない方がよい。

【0044】クロック制御回路2は、外部からのクロック信号CLKと、クロック信号を供給するブロック B_i を選択制御するブロック選択信号BLK i ($i=1, 2, \dots, m$) とが入力され、上記クロック信号CLKを、上記ブロック選択信号BLK i に基づいて上記の各ブロック B_i ($i=1, 2, \dots, m$) に対応する内部クロック信号CKI i ($i=1, 2, \dots, m$) として選択的に出力するようになっている。尚、図1では、クロック信号CLK、内部クロック信号CKI i の反転信号は省略している。

【0045】一方、直列接続された複数のシフトレジスタ1…には、各ブロック B_i に対応する内部クロック信号CKI i が入力されている。つまり、ブロック B_1 には、クロック信号CKI 1 が、ブロック B_2 には、クロック信号CKI 2 が、ブロック m には、クロック信号CKI m が入力されている。さらに、上記のブロック B_1 の初段には、パルス信号であるスタート信号STが入力されている。即ち、上記シフトレジスタ1は、内部クロック信号CKI i が入力されることで、この内部クロック信号CKI i に同期してパルス信号であるスタート信号STを転送出力するようになっている。

【0046】上記構成の走査回路における各信号について、図2を参照しながら以下に説明する。

【0047】ブロック選択信号BLK i は、ハイレベルの期間（以下、アクティブ状態と称する）が、少なくとも各ブロック B_i の走査時間（シフトレジスタ1の段数）に対応した長さとなるように出力される。これにより、クロック制御回路2は、ブロック選択信号BLK i がアクティブ状態のときに、このブロック選択信号BLK i に対応するブロック B_i に、外部からのクロック信号CLKが内部クロック信号CKI i として供給するようになっている。

【0048】また、上記ブロック選択信号BLK i は、該当するブロック B_i に供給する内部クロック信号CKI i を、該ブロック B_i に隣接するブロック B_{i+1} に供給される内部クロック信号CKI $i+1$ に対して少なくとも1クロック分の重なりを有するようにして、クロック制御回路2に入力される。例えば、図2に示すように、ブロック選択信号BLK 1 は、ブロック選択信号BLK 2 に対してクロック信号CLKの1クロック分の重なりを有するようになっている。これに伴い、内部クロック信号CKI 1 と内部クロック信号CKI 2 との重なりも1クロック分となっている。

【0049】上記の内部クロック信号CKI i の重なり幅は、シフトレジスタ1におけるパルス信号の転送が正常に行われるには、少なくとも、転送される信号のパルス幅以上が必要であり、通常の走査回路では1クロック分以上の重なりがあれば良い。但し、より長いパルス幅

の信号を転送する必要がある時には、それに合わせた重なり幅が必要となる。例えば、3クロック分のパルス幅の信号を転送する必要がある場合には、3クロック分以上の重なり幅が必要となる。

【0050】以上のように、クロック制御回路2からブロック B_i に供給される内部クロック信号 CKI_i は、該ブロック B_i に隣接するブロック B_{i+1} に供給される内部クロック信号 CKI_{i+1} に対して少なくとも1クロック分の重なりを有することで、シフトレジスタ1におけるパルス信号の立ち上がりおよび立ち下りの両方を転送することができる。

【0051】これにより、内部クロック信号 CKI_i に重なりが無い場合のように、転送する信号の立ち上がりあるいは立ち下りの何れか一方だけしか転送できないような事態を回避することができる。

【0052】ここで、上記走査回路を構成するシフトレジスタ1とクロック制御回路2の具体的な構成例を以下に示す。

【0053】シフトレジスタ1は、図3に示すように、2個のクロックドインバータ(CINV)と、1個のインバータ(INV)とからなっている。上記の2個のクロックドインバータは、クロック制御回路2で生成された互いに逆位相となる内部クロック信号 CKI_i が入力されている。

【0054】即ち、初段のシフトレジスタ1は、入力される内部クロック信号 CKI_1 および反転信号バー CKI_1 (以下、反転信号には“/”を付記する)に同期して、入力信号としてのパルス信号であるスタート信号STを転送出力するようになっている。

【0055】クロック制御回路2は、図4に示すように、複数のNAND(否定論理積)回路 N_i ($i=1, 2, \dots, m$)と、これらのNAND回路 N_i にそれぞれ接続されたインバータから構成されている。NAND回路 N_i には、クロック信号CLKおよびそれぞれのNAND回路 N_i に対応するブロック選択信号BLK $_i$ が入力されるようになっている。そして、NAND回路 N_i からは、ブロック選択信号BLK $_i$ に基づいて、内部クロック信号 CKI_i が出力されるようになっている。

【0056】即ち、クロック制御回路2では、ブロック選択信号BLK $_i$ がアクティブ時(ブロック選択時)に、対応するブロックに内部クロック信号 CKI_i が出力されるようになる一方、非アクティブ時(ブロック非選択時)には、ブロック B_i に定バイアスが出力される。

【0057】このように、選択されていないブロック B_i には、固定バイアスが供給されることで、シフトレジスタ1が安定状態を保つことができる。これにより、シフトレジスタ1内において、雑音等により内部ノードの電圧レベルが変化することがなくなるので、この電圧レベルの変動に伴い出力されるパルス信号等による誤動作

を回避することができる。

【0058】尚、図4に示すクロック制御回路の構成例では、外部から入力される1つのクロック信号CLKから、内部クロック信号 CKI_i とその反転信号/ CKI_i を生成するようになっているが、これに限定するものではなく、外部からクロック信号CLKとその反転信号/ CKI_i とを入力することで、内部クロック信号 CKI_i とその反転信号/ CKI_i を出力するようにしても良い。

【0059】このような構成のクロック制御回路としては、例えば図5に示すように、複数の転送ゲート G_i ($i=1, 2, \dots, m$)を備えた構成がある。この転送ゲート G_i は、スイッチング素子として2つのnチャネル型のトランジスタ $Tr_1 \cdot Tr_2$ を備えている。

【0060】上記トランジスタ $Tr_1 \cdot Tr_2$ のゲート電極は、それぞれ同一のブロック選択信号BLK $_i$ が入力される一方、トランジスタ Tr_1 のソース電極には、外部からのクロック信号CLKが、トランジスタ Tr_2 のソース電極には、外部からのクロック信号CLKの反転信号/ CLK が入力される。そして、上記トランジスタ $Tr_1 \cdot Tr_2$ のドレイン電極からは、ブロック選択信号BLK $_i$ の状態がアクティブ状態であるか否かによって、それぞれ内部クロック信号 CKI_i およびその反転信号/ CKI_i が出力される。

【0061】ところが、上記構成のクロック制御回路では、ブロック選択信号BLK $_i$ によって転送ゲート G_i をON・OFFしているだけなので、転送ゲート G_i がOFF状態のとき、即ち非選択時には、転送ゲート G_i はハイインピーダンス状態となる。したがって、雑音等により内部ノードの電圧レベルが変化する虞があり、このため、非選択のゲート G_i から誤って出力されるパルス信号による誤動作が生じる虞がある。

【0062】そこで、上記の誤動作を無くするためには、ブロック選択信号BLK $_i$ が非アクティブの時、即ちブロック B_i の非選択時には、定バイアスを内部クロック信号 CKI_i および反転信号/ CKI_i を供給するための信号線に印加するような構成にする必要がある。

【0063】このような構成のクロック制御回路として、例えば図6に示すように、転送ゲート G_i 内に備えられたトランジスタ $Tr_1 \cdot Tr_2$ に加えて、ブロック選択信号BLK $_i$ を反転させるINVと、このINVからの出力がゲート電極にそれぞれ入力されるトランジスタ $Tr_3 \cdot Tr_4$ とを備えたものがある。尚、上記のトランジスタ $Tr_3 \cdot Tr_4$ には、トランジスタ $Tr_1 \cdot Tr_2$ と同様に、nチャネル型トランジスタを用いる。

【0064】上記トランジスタ Tr_3 は、ソース電極に高電圧電源VDDが接続される一方、ドレイン電極にトランジスタ Tr_1 のドレイン電極および内部クロック信号 CKI_i の信号線に接続されている。

【0065】また、上記トランジスタ Tr_4 は、ソース

電極に低電圧電源VSSが接続される一方、ドレイン電極にトランジスタTr2のドレイン電極および内部クロック信号CKI_iとその反転信号／CKI_iを供給するための信号線が接続されている。

【0066】したがって、上記構成のクロック制御回路では、ブロック選択信号BLK_iがアクティブ状態であれば、トランジスタTr1・Tr2は共にON状態となり、それぞれのソース電極からクロック信号CLKおよびその反転信号／CLKが、内部クロック信号CKI_iおよびその反転信号／CKI_iとして出力される。このとき、INVでは、ブロック選択信号BLK_iが反転されるので、トランジスタTr3・Tr4はOFF状態となり、内部クロック信号CKI_iとその反転信号／CKI_iを供給するための信号線に、高電圧電源VDDからの高電圧および低電圧電源VSSからの低電圧が印加されない。

【0067】また、ブロック選択信号BLK_iが非アクティブ状態であれば、トランジスタTr1・Tr2は共にOFF状態となり、INVによってブロック選択信号BLK_iはアクティブ状態に反転されるので、トランジスタTr3・Tr4は共にON状態となり、内部クロック信号CKI_iとその反転信号／CKI_iを供給するための信号線に、高電圧電源VDDからの高電圧および低電圧電源VSSからの低電圧が印加される。

【0068】このように、図6に示すクロック制御回路では、ブロック選択信号BLK_iが非アクティブ状態のときに、固定の電圧が内部クロック信号CKI_i・／CKI_iを供給する信号線に印加されるようになるので、転送ゲートGiがOFF状態、即ち非選択時では、雑音等により内部ノードの電圧レベルが変化しても、上記信号線は安定した電圧が印加された状態となっており、この結果、非選択のゲートGiから誤ってパルスが出力されるような事態を回避することができる。

【0069】尚、図5および図6に示した走査回路では、何れの場合にも、転送ゲートGiに使用されるトランジスタとしては、nチャネル型トランジスタのみを使用しているが、これに限定されるものではなく、ブロック選択信号BLK_iの反転信号／BLK_iを用いて、CMOS構成の転送ゲートとしても良い。

【0070】次に、上記ブロック選択信号BLK_iを生成する回路例について、図7を参照しながら以下に説明する。

【0071】上記ブロック選択信号生成回路は、図7に示すように、外部からのクロック信号CLKの周波数を各ブロック内のシフトレジスタ数分の1に分周する分周器11（例えば、640段のシフトレジスタを、32段20ブロックに分割する場合には32分周器となる）と、分周されたクロック信号CKXで動作する複数のシフトレジスタ12…と、外部クロック信号CLKで動作する複数のシフトレジスタ13…と、シフトレジスタ1

2とシフトレジスタ13とからの出力の論理和を出力するOR回路14…からなっている。

【0072】上記構成のブロック選択信号生成回路では、シフトレジスタ13の段数分だけの重なりを有するブロック選択信号BLK_iを出力するようになる。したがって、上記のシフトレジスタ13の段数を調整することによって、転送すべき信号のパルス幅に応じたブロック選択信号BLK_iを出力することができる。図7の例では、シフトレジスタ13は3段であるので、隣接する内部クロック信号CKI_iとCKI_i+1とが3クロック分重なりを有するものに対応するようになっている。つまり、上記シフトレジスタ13が1段であれば、内部クロック信号CKI_i同士の重なりは1クロック分となる。そして、生成されたブロック選択信号BLK_iは、クロック制御回路2に入力される。

【0073】以上のように、本実施の形態の走査回路では、ブロック選択信号BLK_iによって、外部からのクロック信号CLKを同時に供給するシフトレジスタ1の数を限定しているので、全シフトレジスタ1に同時にクロック信号CLKを供給する場合に比べて、内部クロック信号CKI_iを供給するクロック信号線で消費される電力を少なくすることができる。

【0074】したがって、本実施の形態の走査回路は、走査回路を多結晶シリコン薄膜トランジスタによって構成する場合のように、同等の性能を有する単結晶シリコン薄膜トランジスタよりもトランジスタの素子サイズが大きく、且つ高い駆動電圧を供給する必要がある場合において、クロック信号線で消費される電力消費を低減することができるので、消費電力の削減効果がより大きくなる。

【0075】これにより、上記構成の走査回路では、隣接するブロックに供給されるクロック信号に重なりを有するようにすることで、信号の正常な転送が可能となり、また、クロック信号が入力されるシフトレジスタの段数を削減することで、クロック信号線の寄生容量に起因する消費電力の削減を可能としている。

【0076】次に、本実施の形態で説明した走査回路は、様々な分野で利用されるものであるが、以下の実施の形態2では、画像表示装置として、特に、液晶表示装置に備えられたデータ信号線駆動回路および走査信号線駆動回路の少なくとも一方に使用した場合について説明する。しかしながら、本発明の走査回路は、上記の液晶表示装置に利用する例に限らず、同様な目的の他の分野においても利用することができる。

【0077】〔実施の形態2〕本発明の他の実施の形態について図8～図12に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態で使用された部材と同一の機能を有するものには、同一の記号を付記し、その説明は省略する。また、本実施の形態では、液晶表示装置として、特にアクティブ・マトリクス

駆動方式のものについて説明する。

【0078】本実施の形態に係る画像表示装置としての液晶表示装置は、図8に示すように、画素アレイ21と、データ信号線駆動回路22と、走査信号線駆動回路23とからなっている。

【0079】画素アレイ21には、互いに交差する多数の走査信号線GL_i ($i=1, 2, \dots, x$)と多数のデータ信号線SL_i ($i=1, 2, \dots, y$)とが配されており、隣接する2本の走査信号線GLと隣接する2本のデータ信号線SLとで包囲された部分に、画素24が配置されている。即ち、画素アレイ21では、複数の画素24がマトリクス状に配置されている。尚、上記画素24の数は、 $x \times y$ 個となり、VGAパネルでは、 640×480 個となり、XGAパネルでは、 1024×768 個となる。

【0080】画素24は、図9に示すように、スイッチング素子としての電界効果トランジスタ25と、液晶容量26と、補助容量27とによって構成されている。尚、上記液晶容量26と補助容量27とで画素容量を形成するが、補助容量27に関しては必要に応じて設ければ良い。

【0081】電界効果トランジスタ25のソース電極には、データ信号線SLが接続されると共に、ゲート電極には、走査信号線GLが接続されている。また、電界効果トランジスタ25のドレイン電極には、液晶容量26の一方の電極と、補助容量27の一方の電極とが並列に接続されている。

【0082】液晶容量26の他方の電極および補助容量27の他方の電極、即ち電界効果トランジスタ25のドレイン電極に接続されていない電極には、各画素24に共通な共通電極線(図示せず)に接続されている。そして、液晶容量26は、印加される電圧によって液晶の透過率または反射率が変調されることで、表示に供するようになっている。

【0083】以上のように、画素24では、データ信号線SLに供給される信号を、走査信号線GLに供給される信号のタイミングによって、電界効果トランジスタ25をON・OFFし、液晶容量26および補助容量27に電圧を印加するようになっている。

【0084】データ信号線駆動回路22は、図8に示すように、上記の複数のデータ信号線SLが接続されると共に、クロック信号CKS、スタート信号SPS、および映像信号であるデータ信号DATが入力され、入力されたクロック信号CKSおよびスタート信号SPSに同期してデータ信号DATをサンプリングして、必要に応じて増幅し、各データ信号線SLに書き込むようになっている。

【0085】一方、走査信号線駆動回路23は、上記の複数の走査信号線GLが接続されると共に、クロック信号CKG、スタート信号SPG、パルス信号GPSが入

力され、入力されたクロック信号CKGおよびスタート信号SPGに同期して、走査信号線GLを順次選択し、画素24内にあるスイッチング素子の開閉を制御することにより、各データ信号線SLに書き込まれた映像信号(データ信号DAT)を各画素24に書き込み、各画素24に書き込まれたデータ信号DATを保持するようになっている。

【0086】ここで、上記のデータ信号線駆動回路22および走査信号線駆動回路23に、前記実施の形態1の走査回路を適用した回路例について、図10ないし図12に基づいて以下に説明する。

【0087】まず、データ信号線駆動回路22について説明する。データ信号線駆動回路22には、映像信号をデータ信号線SLに書き込む方式の違いから、点順次駆動方式と線順次駆動方式とがある。

【0088】点順次駆動方式のデータ信号線駆動回路22は、例えば図10に示すように、直列接続された複数のシフトレジスタ1…と、各シフトレジスタ1の出力端子に接続されたバッファ回路31…と、映像信号線33からのデータ信号をサンプリングするサンプリングスイッチ32…とからなっている。

【0089】上記シフトレジスタ1は、前記実施の形態1と同様に、複数段ずつに複数のブロックBiに分割され、各ブロックBi単位で外部からのクロック信号CKSが入力されている。即ちブロックB1のシフトレジスタ1…には、それぞれ同時にクロック信号CKS1が入力され、ブロックB2のシフトレジスタ1…には、それぞれ同時にクロック信号CKS2が入力されるようになっている。

【0090】そして、シフトレジスタ1は、スタート信号SPSと共に、上記のクロック信号CKSiが選択的に入力されることで、上記クロック信号CKSiに同期してパルス信号をバッファ回路31に出力するようになっている。

【0091】上記バッファ回路31は、シフトレジスタ1から出力されるパルス信号を、保持・増幅すると共に、必要に応じて反転信号を生成するようになっている。

【0092】上記サンプリングスイッチ32は、シフトレジスタ1から上記バッファ回路31を介して出力されるパルス信号に同期させてON・OFFすることで、サンプリングしたデータ信号DATをデータ信号線SLに書き込むようになっている。

【0093】したがって、上記構成の走査回路では、映像信号線33に入力された映像信号であるデータ信号DATを、シフトレジスタ1の各段の出力パルスに同期させてサンプリングスイッチ32を開閉することにより、データ信号線SLに書き込むようになっている。

【0094】また、線順時駆動方式の走査回路は、例えば図11に示すように、上記の点順次駆動方式のデータ

信号線駆動回路(図10)に加えて、サンプリングスイッチ32の出力端子に並列に接続されたサンプリング容量34およびサンプリングスイッチ35と、サンプリングスイッチ35の出力端子に並列に接続されたサンプリング容量36および信号増幅アンプ37とからなる。

【0095】上記サンプリング容量34は、サンプリングスイッチ32でサンプリングしたデータ信号DATを一旦蓄えるものであり、また、サンプリングスイッチ35は、転送信号線38からのパルス状の転送信号TFに同期して上記サンプリング容量34に蓄えられたデータ信号DATをサンプリングするものである。

【0096】また、サンプリング容量36は、サンプリングスイッチ35にてサンプリングされたデータ信号DATを一旦蓄えるものであり、信号増幅アンプ37は、データ信号DATを増幅してデータ信号線SLに書き込むものである。

【0097】上記サンプリング容量34で蓄えられたデータ信号DATは、次の水平走査期間において、信号増幅アンプ37を介して出力されるようになっている。即ち、同一水平走査期間に蓄えられたデータ信号DATは、次の水平走査期間に出力されるようになる。

【0098】一般に、上記サンプリング容量34およびサンプリング容量36は、データ信号線SLの容量よりも小さいので、映像信号であるデータ信号DATを映像信号線33に書き込む時間が、有効水平走査期間(水平走査期間の約80%)のデータ信号線SLの本数分の1しかないため、大画面化に伴いデータ信号線SLの時定数(容量と抵抗の積)が大きくなる場合や、高精細化にサンプリング時間が短くなる場合においても、十分な書き込みを行うことができる。このため、データ信号線駆動回路22に使用するならば、上記の点順次駆動方式よりも線順次駆動方式のほうが望ましいことが分かる。

【0099】次に、走査信号線駆動回路23について説明する。走査信号線駆動回路23は、例えば図12に示すように、シフトレジスタ1の出力端子にバッファ回路31が接続され、バッファ回路31の出力端子には論理回路42が接続され、バッファ回路43が接続されている。

【0100】上記論理回路42には、パルス信号線41からパルス信号GPSが入力されるようになっており、バッファ回路31から出力されたシフトレジスタ1からのパルス信号と論理演算するようになっている。

【0101】バッファ回路43では、上記論理回路42にて論理演算された結果を必要に応じて増幅して、データ信号線SLに書き込まれたデータ信号DATをサンプリングするための制御信号として、走査信号線GLに出力するようになっている。

【0102】以上のように、データ信号線駆動回路22および走査信号線駆動回路23においては、何れも前記実施の形態1で説明した走査回路を使用することで、特

に、走査回路を駆動するためのクロック信号に係る消費電力を削減することが可能となり、低消費電力の画像表示装置である液晶表示装置を実現することができる。

【0103】上記の効果を電力消費に関して言えば、データ信号線駆動回路22は、走査信号線駆動回路23と比べて、数百倍〜千倍以上(画素アレイ21がVGAパネルである場合には、640倍以上、XGAパネルである場合には、1024倍以上)の周波数で駆動されるため、より電力消費削減の効果を奏することができる。しかしながら、走査信号線駆動回路23においてもデータ信号線駆動回路22における効果よりも小さいが電力消費削減の効果を奏することができる。

【0104】さらに、前記実施の形態1で説明した走査回路をデータ信号線駆動回路22および走査信号線駆動回路23の何れか一方に使用した場合においては、各ブロックBiのシフトレジスタ1…に供給される内部クロック信号CKIiは、該ブロックBiに隣接するブロックBi+1に供給される内部クロック信号CKIi+1に対して少なくとも1クロック分の重なりを有することで、シフトレジスタ1におけるパルス信号の立ち上がりおよび立ち下りの両方を転送することができる。

【0105】これにより、内部クロック信号CKIiに重なりが無い場合のように、転送する信号の立ち上がりあるいは立ち下りの何れか一方だけしか転送できないような事態を回避することができる。

【0106】したがって、データ信号線駆動回路22からの映像信号であるデータ信号DATを、パルス信号に同期してデータ信号線SLに正確に書き込むことができるので、表示品位の向上を図ることができる。

【0107】また、上記の画素アレイ21と、データ信号線駆動回路22および走査信号線駆動回路23の何れか一方を同一基板上に形成しても良い。この場合、データ信号線駆動回路22および走査信号線駆動回路23の製造が同一工程で可能となり、また、各駆動回路と画素アレイ21との接続プロセス(実装工程)を省略することができるため、画像表示装置の低コスト化および高信頼性を図ることが可能となる。

【0108】つまり、データ信号線駆動回路22あるいは走査信号線駆動回路23と画素アレイ21とを別々に形成した場合では、駆動回路と画素とを接続するプロセスが必要であり、このプロセスにて接続不良等が生じ回路の信頼性の低下を招くが、本願のように、駆動回路と画素とを同一プロセスで一度に形成することで、余分なプロセスを省略することができる。したがって、駆動回路と画素との接続プロセスによる不良を無くすることができるので、走査回路を備えた駆動回路を有する画像表示装置の信頼性を向上させることができる。

【0109】以下に、画素アレイ21と、データ信号線駆動回路22および走査信号線駆動回路23とが同一基板上に形成された液晶表示装置について説明する。

【0110】本液晶表示装置は、図13に示すように、データ信号線駆動回路22および走査信号線駆動回路23を画素アレイ21と同一の絶縁基板51上で多結晶シリコン薄膜トランジスタで形成されている。

【0111】上記のデータ信号線駆動回路22および走査信号線駆動回路23には、タイミング信号生成回路52が接続されている。このタイミング信号生成回路52では、タイミング信号として、データ信号線駆動回路22に出力されるデータ信号DAT、クロック信号CKS、スタート信号STS、および走査信号線駆動回路23に出力されるクロック信号CKG、スタート信号SPG、パルス信号GPSが生成されるようになっている。

【0112】このように、データ信号線駆動回路22および走査信号線駆動回路23が画素アレイ21と同一絶縁基板51上で多結晶シリコン薄膜トランジスタで形成すれば、データ信号線駆動回路22および走査信号線駆動回路23の製造が同一工程で可能となり、また、各駆動回路と画素アレイ21との接続プロセス（実装工程）を省略することができるため、画像表示装置の製造に係る費用を低減することができ、上記の接続プロセスにおいて生じる不良を無くすることができるので、画像表示装置の信頼性を向上させることができる。

【0113】さらに、データ信号線駆動回路22および走査信号線駆動回路23には、電源電圧発生回路53が接続されている。この電源電圧発生回路53では、データ信号線駆動回路22および走査信号線駆動回路23に供給する低電源電圧VSL・VGLおよび高電源電圧VSH・VGLを生成すると共に、画素アレイ21の各画素24…に共通に接続された共通電極に供給するCOM電圧が生成される。

【0114】つまり、図13に示す液晶表示装置では、電源電圧発生回路53によって、データ信号線駆動回路22および走査信号線駆動回路23に低電源電圧VSL・VGLおよび高電源電圧VSH・VGLが印加される構成となっている。このため、データ信号線駆動回路22および走査信号線駆動回路23に使用される走査回路としては、選択しないブロックBmに固定バイアスを印加するようにして構成された実施の形態1で説明した図6に示す走査回路を使用することが望ましい。

【0115】尚、上記各実施の形態では、クロック信号線およびブロック選択信号線に対して、一方の信号線のみを記載している箇所もあるが、それぞれの反転信号が供給される反転信号線が上記のクロック信号線およびブロック選択信号線と同様な構成で配置・配線されているものとする。

【0116】

【発明の効果】請求項1の発明の走査回路は、以上のように、クロック信号に同期してデジタル信号を転送するシフトレジスタが、複数段ずつ複数のブロックに分割されると共に、上記クロック信号が、ブロック単位で順

次供給される走査回路において、デジタル信号が転送されるべきシフトレジスタを含むブロックにのみ選択的にクロック信号を供給するクロック制御回路を備え、上記クロック制御回路から上記ブロックに供給されるクロック信号は、該ブロックに隣接するブロックに供給されるクロック信号に対して少なくとも1クロック分の重なりを有する構成である。

【0117】これにより、同時にクロック信号が供給されるシフトレジスタの個数が削減されるので、クロック信号線の寄生容量、即ちシフトレジスタの各ブロック内部に輸入接続されている内部クロック信号線のシフトレジスタの入力ゲート容量や配線容量等を駆動するために消費される電力を大幅に削減することができる。

【0118】しかも、シフトレジスタから出力されるパルス信号が、あるブロックのシフトレジスタから次のブロックのシフトレジスタへ転送されるときにも、立ち下がりおよび立ち上がりを転送することができるので、パルス幅の正しいパルス信号を転送することができ、走査回路の動作を正常に保つことができるという効果を奏する。

【0119】請求項2の発明の走査回路は、以上のように、請求項1の構成に加えて、クロック信号が供給されていないブロックには、定バイアスが供給されている構成である。

【0120】これにより、請求項1の構成による効果に加えて、クロック信号が供給されていないブロックには、定バイアスが印加された状態となっているので、シフトレジスタ内の雑音等により誤ってパルス信号を出力する等のシフトレジスタの誤動作を無くすることができるという効果を奏する。

【0121】請求項3の発明の走査回路は、以上のように、請求項1または2記載の構成に加えて、走査回路が、多結晶シリコン薄膜トランジスタにより構成されている構成である。

【0122】これにより、高駆動電圧により消費電力の増大を抑えることができるので、走査回路が、多結晶シリコン薄膜トランジスタにより構成されることで、素子の信頼性が高く、消費電力の少ない回路素子とすることができるという効果を奏する。

【0123】請求項4の発明の画像表示装置は、以上のように、マトリクス状に設けられた複数の画素と、該画素に書き込む映像信号を供給する複数のデータ信号線と、映像データの画素への書き込みを制御する制御信号を供給する複数の走査信号線と、外部からのクロック信号に同期してタイミング信号を転送する走査回路を有し、該走査回路から出力されるタイミング信号に同期して上記データ信号線に映像信号を出力するデータ信号線駆動回路と、外部からのクロック信号に同期してタイミング信号を転送する走査回路を有し、該走査回路から出力されるタイミング信号に同期して上記走査信号線に制

御信号を出力する走査信号線駆動回路とを備え、上記データ信号線駆動回路および走査信号線駆動回路が有している走査回路の少なくとも一方に、請求項1～3の何れかに記載の走査回路が使用されている構成である。

【0124】これにより、走査回路内の正しいパルス幅のパルス信号を転送することができるので、映像信号を表示すべき画素に適切に供給することができる。これにより、誤信号による表示劣化をなくすることができるので、高品位の画像表示が可能となる。また、上記の走査回路では、各クロック信号線で消費される電力を極力抑えることができるので、画像表示装置全体の消費電力を削減することができるという効果を奏する。

【0125】請求項5の発明の画像表示装置は、以上のように、請求項4の構成に加えて、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方が、上記画素と共に同一基板上に形成されている構成である。

【0126】これにより、請求項4の構成による効果に加えて、画素と同一プロセスで一度に上記の各駆動回路を形成することが可能となるので、駆動回路の実装コストの低減や信頼性の向上を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る走査回路の概略構成ブロック図である。

【図2】図1に示す走査回路内の各信号の波形図である。

【図3】図1に示す走査回路に備えられたシフトレジスタの概略構成ブロック図である。

【図4】図1に示す走査回路に備えられたクロック制御回路の概略構成ブロック図である。

【図5】図1に示す走査回路に備えられたクロック制御回路の他の概略構成ブロック図である。

【図6】図1に示す走査回路に備えられたクロック制御回路のさらに他の概略構成ブロック図である。

【図7】図1に示す走査回路に備えられたクロック制御

回路に供給するブロック選択信号を生成するブロック選択信号制御回路の概略構成ブロック図である。

【図8】本発明の他の実施の形態に係る画像表示装置の概略構成図である。

【図9】図8に示す画像表示装置に備えられた画素近傍を示す概略構成ブロック図である。

【図10】図8に示す画像表示装置に備えられたデータ信号線駆動回路を示す概略構成ブロック図である。

【図11】図8に示す画像表示装置に備えられたデータ信号線駆動回路を示す他の概略構成ブロック図である。

【図12】図8に示す画像表示装置に備えられた走査信号線駆動回路を示す概略構成ブロック図である。

【図13】本発明の他の実施の形態に係る画像表示装置の概略構成ブロック図である。

【図14】従来のデータ信号線駆動回路を示す概略構成ブロック図である。

【図15】従来のデータ信号線駆動回路を示す他の概略構成ブロック図である。

【図16】従来の走査信号線駆動回路を示す概略構成ブロック図である。

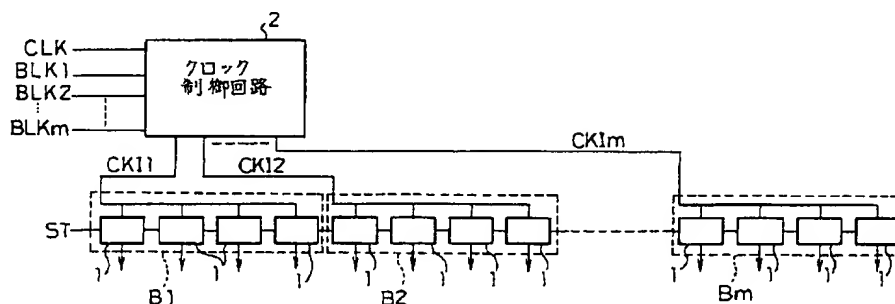
【図17】従来の走査回路を示す概略構成ブロック図である。

【図18】図17に示す走査回路内の各信号の波形図である。

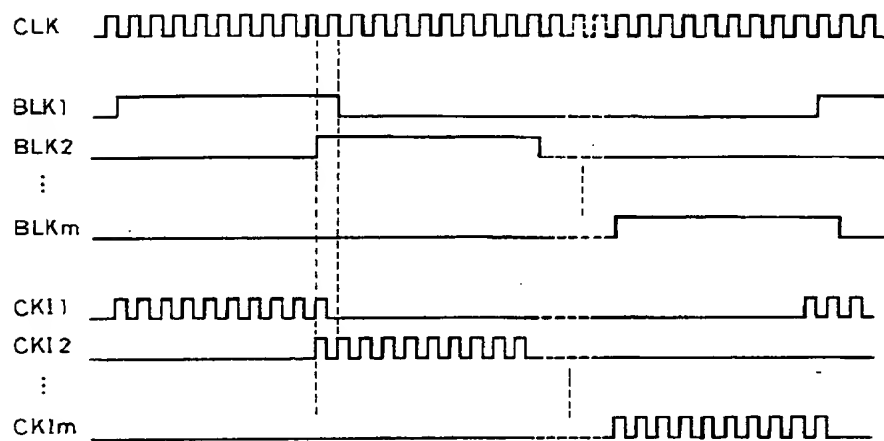
【符号の説明】

- | | |
|----|------------|
| 1 | シフトレジスタ |
| 2 | クロック制御回路 |
| 21 | 画素アレイ |
| 22 | データ信号線駆動回路 |
| 23 | 走査信号線駆動回路 |
| 24 | 画素 |
| 51 | 絶縁基板（基板） |
| SL | データ信号線 |
| GL | 走査信号線 |

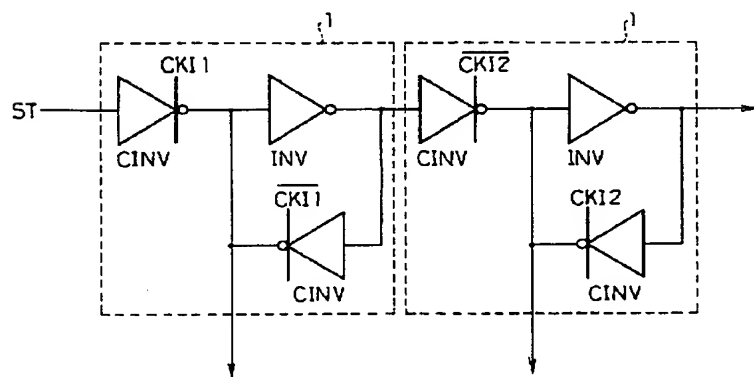
【図1】



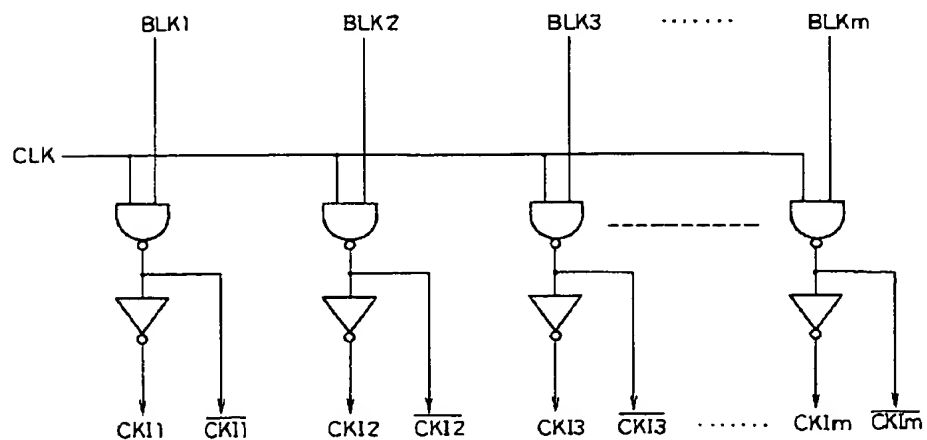
【図2】



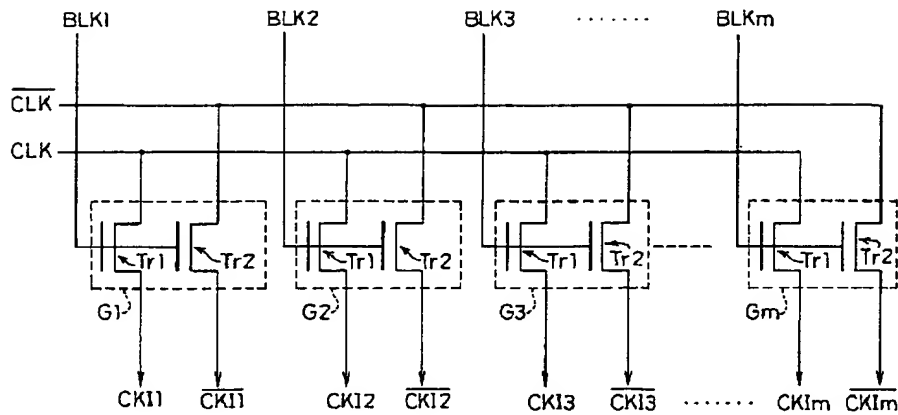
【図3】



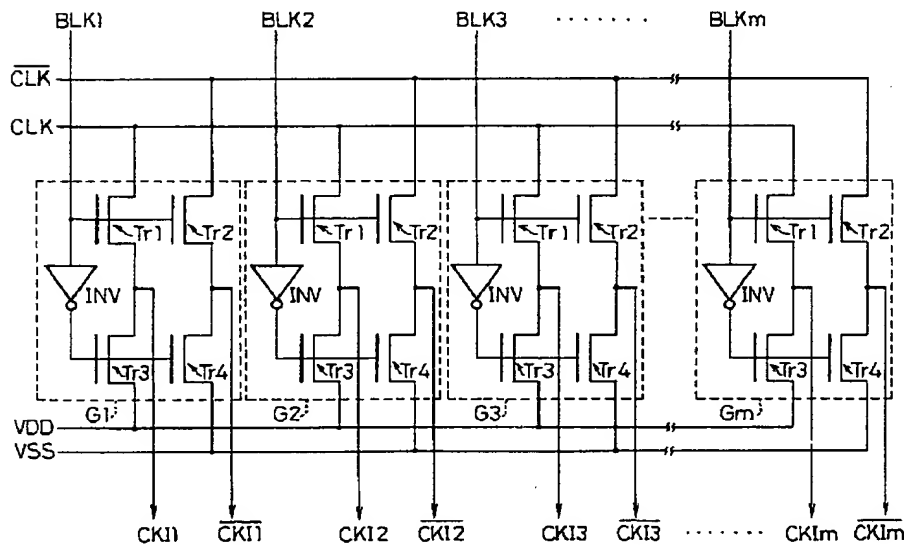
【図4】



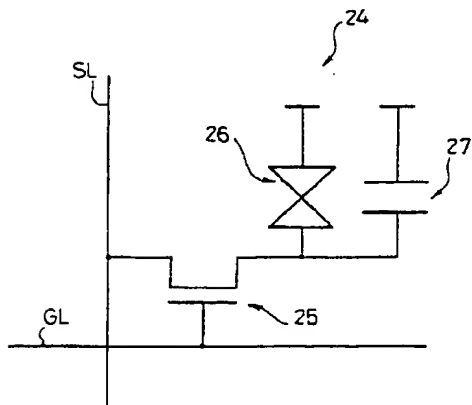
【 図 5 】



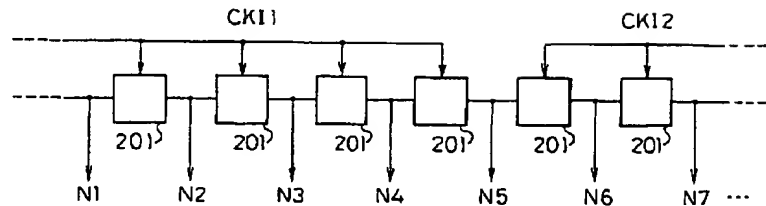
【 図 6 】



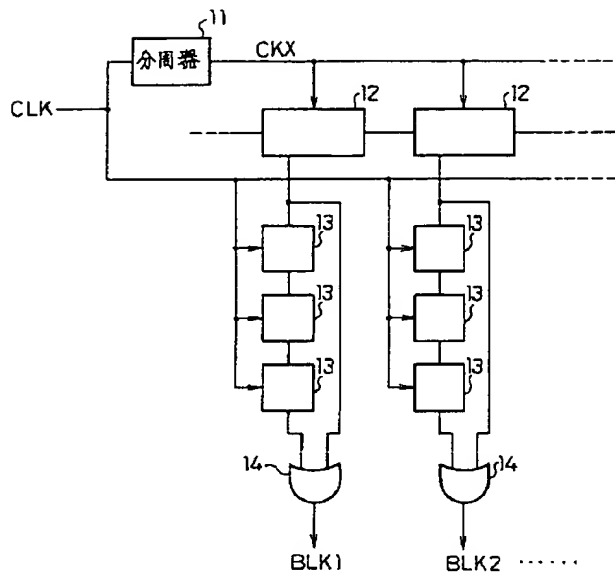
【 図 9 】



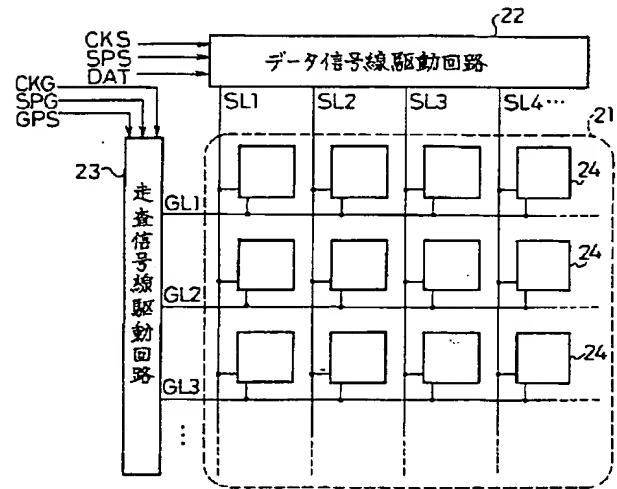
【 図 1 7 】



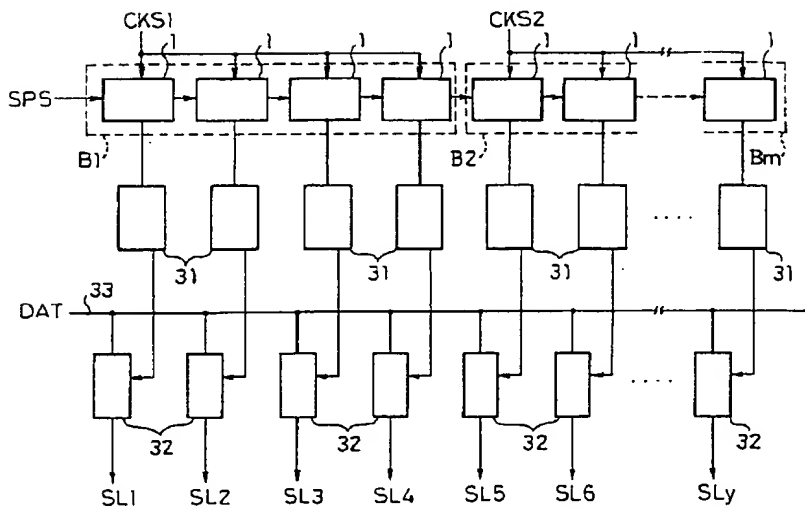
【図7】



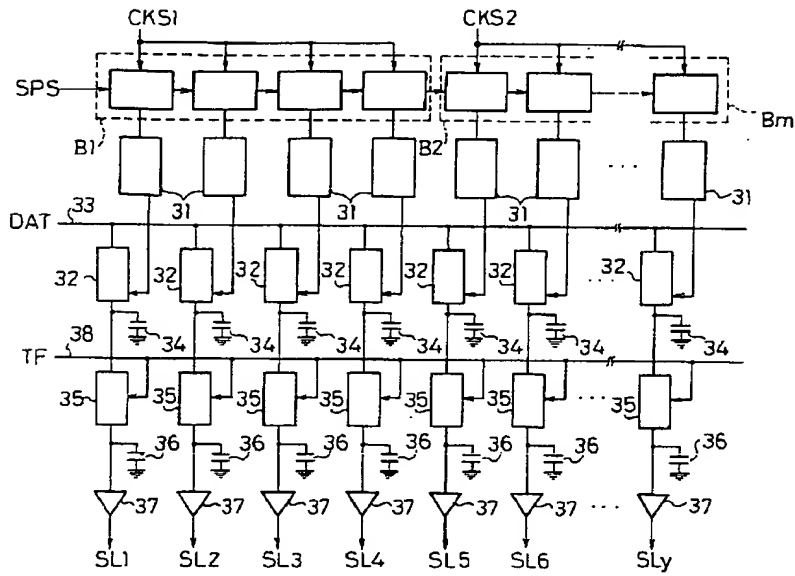
【図8】



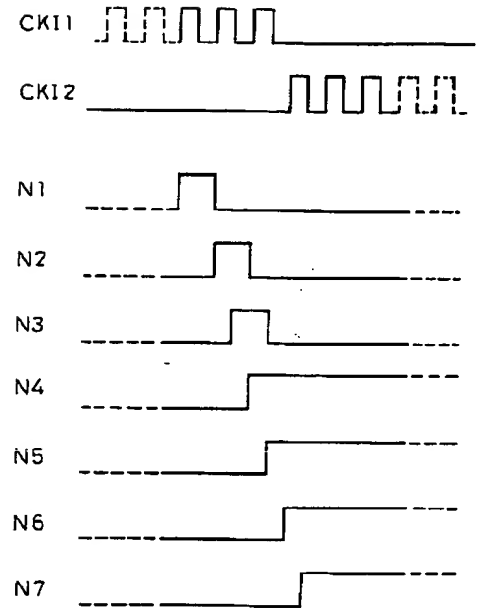
【図10】



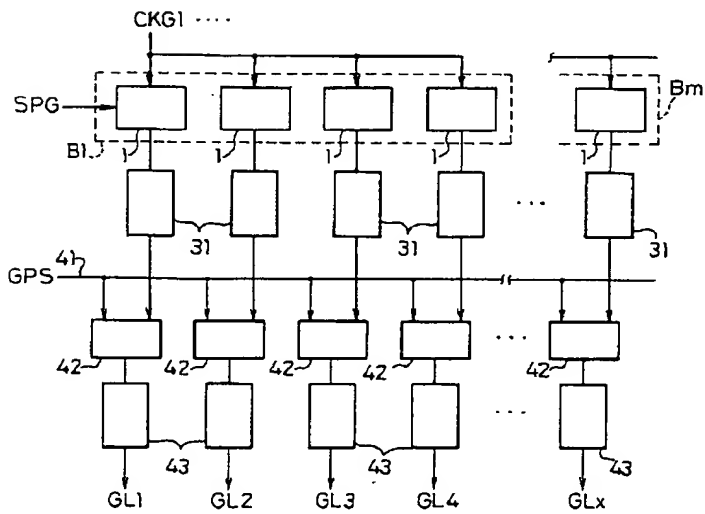
【図11】



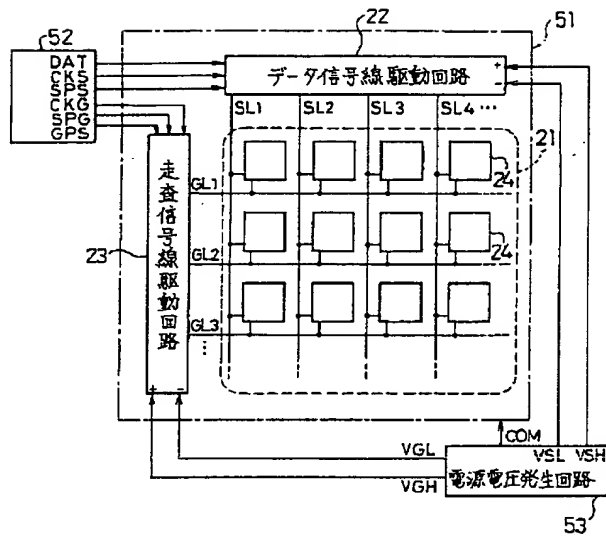
【図18】



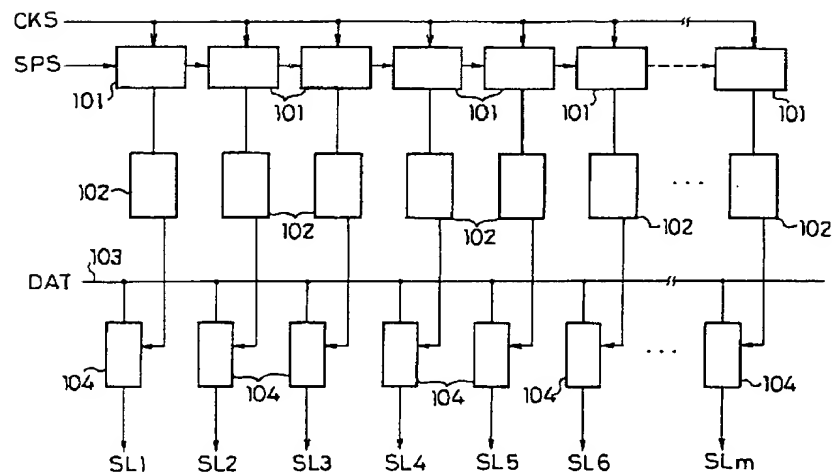
【図12】



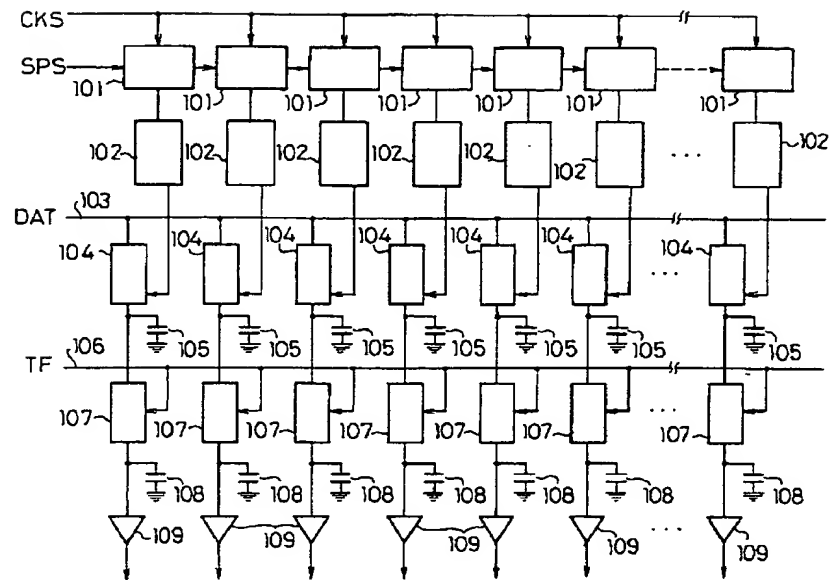
【図13】



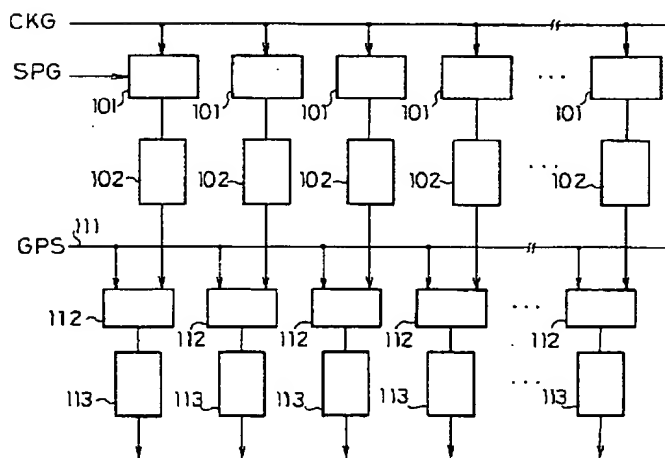
【図14】



【図 15】



【図 16】



(19) Japanese Patent Office (JP)
(12) Japanese Patent Application Laid-Open Publication (A)
(11) Publication No.: 9-182004
(43) Publication Date: July 11, 1997
(51) Int. Cl.⁶: Domestic Classification Symbol
H04N 5/66 102
G02F 1/133 550
G09G 3/20
3/36

Internal Reference Number: 4237-5H

Request for Examination: Not Filed

Number of Claims: 5 OL (17 pages total)

(21) Application No.: 7-333693
(22) Filing Date: December 21, 1995
(71) Applicant: 000005049

Sharp Corporation
22-22 Nagaike-cho, Abeno-ku, Osaka-shi,
Osaka

(72) Inventor: KUBOTA, Yasushi
Sharp Corporation
22-22 Nagaike-cho, Abeno-ku, Osaka-shi,
Osaka

(72) Inventor: KATO, Kenichi
Sharp Corporation
22-22 Nagaike-cho, Abeno-ku, Osaka-shi,

Osaka

(74) Agent: HARA, Kenzo, Patent Attorney

(54) [Title of the Invention] Scanning Circuit and Image Display Device

(57) [Abstract]

[Problem] To provide a scanning circuit where shift registers can operate properly and that can reduce power consumption in a clock signal line in the shift registers and to provide an image display device where this scanning circuit is applied to an image display drive circuit.

[Solution] A scanning circuit is disposed with shift registers 1, which are divided into plural blocks per plural rows and transfer digital signals in synchronization with a clock signal, and a clock control circuit 2, which selectively supplies a clock signal CKI only to a block including shift registers to which the digital signals are to be transferred. The clock signal CKI supplied to a block from the clock control circuit 2 includes an overlap of at least one clock with respect to the clock signal CKI supplied to a block adjacent to that block.

[Claims]

[Claim 1] A scanning circuit in which shift registers that

transfer digital signals in synchronization with a clock signal are divided into plural blocks per plural rows and in which the clock signal is successively supplied per block unit, wherein

the scanning circuit is disposed with a clock control circuit that selectively supplies the clock signal only to a block including shift registers to which the digital signals are to be transferred, and

the clock signal supplied to the block from the clock control circuit includes an overlap of at least one clock with respect to the clock signal supplied to a block adjacent to that block.

[Claim 2] The scanning circuit of claim 1, wherein a fixed bias is supplied to the blocks to which the clock signal is not supplied.

[Claim 3] The scanning circuit of claim 1 or 2, wherein the scanning circuit is configured by a polycrystalline silicon thin-film transistor.

[Claim 4] An image display device comprising:

plural pixels disposed in a matrix;

plural data signal lines that supply a picture signal to be written to each pixel;

plural scanning signal lines that supply a control signal that controls the writing of picture data to the pixels;

a data signal line drive circuit that includes a scanning circuit that transfers a timing signal in synchronization with a clock signal from the outside and outputs the picture signal to the data signal lines in synchronization with the timing signal outputted from the scanning circuit; and

a scanning signal line drive circuit that includes a scanning circuit that transfers a timing signal in synchronization with a clock signal from the outside and outputs the control signal to the scanning signal lines in synchronization with the timing signal outputted from the scanning circuit, wherein

the scanning circuit of any of claims 1 to 3 is used for at least one of the scanning circuits that the data signal line drive circuit and the scanning signal line drive circuit have.

[Claim 5] The image display device of claim 4, wherein at least one of the data signal line drive circuit and the scanning signal line drive circuit is formed together with the pixels on a same substrate.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Belongs]

The present invention relates to a scanning circuit that transfers digital signals in synchronization with a clock

signal, and in particular to a scanning circuit that realizes low power consumption by reducing the number of rows of shift registers that simultaneously supply clock signals and to an image display device, such as a liquid crystal display device, where the scanning circuit is applied to a data signal line drive circuit or a scanning signal line drive circuit.

[0002]

[Prior Art]

Conventionally, an active matrix drive-format liquid crystal display device has been known as a liquid crystal display device where liquid crystal is used in an image display device. As shown in Figs. 8 and 9, which will be used to describe the present invention, a liquid crystal display device of this kind of drive format comprises a pixel array 21, a data signal line drive circuit 22 and a scanning signal line drive circuit 23.

[0003]

Numerous scanning signal lines GL and numerous data signal lines SL, which mutually intersect, are disposed in the pixel array 21. Pixels 24 are disposed in a matrix at portions enclosed by two adjacent scanning signal lines GL and two adjacent data signal lines SL.

[0004]

Each pixel 24 is configured by, for example, a field-effect transistor 25 that serves as a switching element,

a liquid crystal capacity 26 and an auxiliary capacity 27. Thus, in each pixel 24, the field-effect transistor 25 is switched ON or OFF by a timing of a signal supplied in the scanning signal line GL and a voltage is applied to the liquid crystal capacity 26 and the auxiliary capacity 27 by a signal supplied in the data signal line SL, whereby the transmissivity or the like of the liquid crystal is changed and display is conducted.

[0005]

Incidentally, in conventional active matrix liquid crystal display devices, it is common for an amorphous silicon thin-film formed on a transparent substrate to be used as a pixel transistor base material and for the data signal line drive circuit and the scanning signal line drive circuit to be respectively configured by an external IC.

[0006]

With respect thereto, due to improvements in the driving force of pixel transistors attendant to an increase in screen size and the demand to reduce drive IC mounting costs or mounting reliability in recent years, it has been proposed to monolithically form the pixel array and each drive circuit using a polycrystalline silicon thin-film. Moreover, in order realize larger screen sizes and lower costs, it has also been proposed to form each element with a polycrystalline silicon thin-film on a glass substrate at a process

temperature equal to or less than the straining point of glass (about 600°C).

[0007]

There are liquid crystal display devices of such a monolithic structure where, as shown in Fig. 13, which is an explanatory diagram of the present invention, the pixel array 21, the data signal line drive circuit 22 and the scanning signal line drive circuit 23 are formed on an insulating substrate 51.

[0008]

Due to differences in the formats by which picture signals are written to the data signal lines SL, there are a point-sequential drive format and a line-sequential drive format for the data signal line drive circuit 22.

[0009]

As shown, for example, in Fig. 14, the data signal line drive circuit 22 of the point-sequential drive format comprises plural series-connected shift registers 101, buffer circuits 102 that are connected to output terminals of the shift registers 101, and sampling switches 104 that sample a data signal DAT from a picture signal line 103.

[0010]

In the data signal line drive circuit 22 of the above-described configuration, the data signal DAT, which is a picture signal inputted to the picture signal line 103, is

synchronized with pulse signals outputted from the shift registers 101 via the buffer circuits 102 in synchronization with a clock signal CLK and a start signal SPS, and the sampling switches 104 are opened and closed, whereby the data signal DAT supplied from the picture signal line 103 is sampled and written to the data signal lines SL.

[0011]

As shown, for example, in Fig. 15, the data signal line drive circuit 22 of the line-sequential drive format comprises, in addition to the data signal line drive circuit of the point-sequential drive format (Fig. 14), sampling capacities 105 and sampling switches 107 connected in parallel to output terminals of the sampling switches 104 and sampling capacities 108 and signal amplification amps 109 connected in parallel to output terminals of the sampling switches 107.

[0012]

In the data signal line drive circuit 22 of the line-sequential drive format of the above-described configuration, a data signal DAT stored in the sampling capacities 105 and 108 is outputted via the signal amplification amps 109 in synchronization with a transfer signal TF supplied from a transfer signal line 106 in the next horizontal scanning period. That is, the data signal DAT stored in the same horizontal scanning period is outputted

in the next horizontal scanning period.

[0013]

Usually, because the sampling capacities are smaller than the capacities of the data signal lines SL, the time in which the data signal DAT, which is a picture signal, is written to the picture signal line 103 is only one of the number of data signal lines SL of an effective horizontal scanning period (about 80% of the horizontal scanning period). Thus, even in a case where the time constant (product of capacity and resistance) of the data signal lines SL becomes large in accompaniment with an increase in screen size or a case where the sampling time becomes short for high definition, sufficient writing can be conducted. For this reason, the line-sequential drive format is more preferable than the point-sequential drive format for use as the data signal line drive circuit 22.

[0014]

As shown, for example, in Fig. 16, the scanning signal line drive circuit 23 has a configuration where the buffer circuits 102 are connected to the output terminals of the shift registers 101, logic circuits 112 are connected to output terminals of the buffer circuits 102, and buffer circuits 113 are connected to output terminals of the logic circuits 112.

[0015]

A pulse signal GPS is inputted to the logic circuits 112 from a pulse signal line 111, pulse signals outputted from the shift registers 101 via the buffer circuits 102 are inputted to the logic circuits 112, and a logic operation is performed on these two signals. The operation result is outputted to the scanning signal lines GL as a control signal of whether or not the data signal DAT from the data signal line drive circuit 22 is sampled.

[0016]

As described above, a scanning circuit that sequentially transfers pulse signals in synchronization with a clock signal is used in both of the data signal line drive circuit 22 and the scanning signal line drive circuit 23. Shift registers or decoders are used in the scanning circuit, but shift registers are often used because the number of input terminals is small and the circuit size (the number of constituent transistors) is small.

[0017]

As shown, for example, in Fig. 3, which is an explanatory diagram of the present invention, there is a circuit configuration of the shift resistor comprising two clock inverters (CINV) and one inverter (INV). Internal clock signals that are in mutually opposite phases are inputted to the two clock inverters.

[0018]

Incidentally, in the scanning circuit used in each of the aforementioned drive circuits, ordinarily, power consumption accompanying the transfer of the pulse signals is not as large because only one pulse signal is ordinarily scanned.

[0019]

However, in the case of an image display device where the number of rows of shift registers configuring the scanning circuit is extremely large, e.g., in the case of an image display device using a VGA (video graphics array) panel, 640 rows are necessary in the data signal line drive circuit and 480 rows are necessary in the scanning signal line drive circuit. Moreover, in the case of an image display device using an XGA (extended videographics array) panel, 1024 rows are necessary in the data signal line drive circuit and 768 rows are necessary in the scanning signal line drive circuit.

[0020]

Thus, in a case where the scanning circuit is used for a drive circuit driving such a VGA panel or an XGA panel as described above, the sum of input capacities from the clock signal line of each clock inverter in the shift registers becomes extremely large and occupies half the power consumption.

[0021]

Particularly, as mentioned before, in a case where the

scanning circuit is configured by a polycrystalline silicon thin-film transistor, when they are of the same element size, the performance of the transistor is inferior in comparison to a transistor on a single crystal silicon substrate. Thus, in order to make it exhibit an equivalent performance, it is necessary to make the element size larger than the transistor on the single crystal silicon substrate and supply a high drive voltage. For this reason, the power consumed by the clock signal line considerably increases.

[0022]

Thus, a "matrix display device" is disclosed in JP-B-63-50717 where, as shown in Fig. 17, plural rows of series-connected transistors are divided into plural blocks per plural rows and a clock signal CKI is supplied per block unit—i.e., the clock signal CKI is supplied only to any one block—whereby the power consumed at one time by the clock signal line is reduced and total power consumption is reduced.

[0023]

[Problem that the Invention is to Solve]

However, the problem arises that transfer of signals between the blocks cannot be properly conducted simply by plurally dividing the shift registers 201 and selectively supplying the clock signal CKI per block unit, as in the above-described publication.

[0024]

In other words, in the configuration of the above-described publication, as shown in Fig. 17, pulse signals N1, N2, N3, N4 and N5 are successively outputted from the shift registers 201 to which a clock signal CKI1 has been inputted, and pulse signals N6 and N7 are outputted from the shift registers 201 to which a clock signal CKI2 has been inputted.

[0025]

As shown in Fig. 18, because each pulse signal at this time—e.g., in the pulse signal N4 whose rise is to be transferred by the clock signal CKI1—is switched to the clock signal CKI2 at the time the fall is to be transferred, the fall is not transferred because the clock signal CKI1 is no longer supplied. For this reason, the shift register 201 that outputs the pulse signal N4 is always fixed at a high voltage level and does not work overall as a scanning circuit.

[0026]

In the opposite case, i.e., when the clock signal has not yet been supplied at the time the rise is to be transferred even though the fall of the pulse signal is transferred, the shift register is always fixed at a low voltage level and does not work overall as a scanning circuit.

[0027]

The present invention was devised in order to solve the above-described problem, and it is an object thereof to

provide a scanning circuit where shift registers can operate normally and that can reduce power consumption in a clock signal line in the shift registers and to provide an image display device in which the scanning circuit is applied to an image display drive circuit.

[0028]

[Means for Solving the Problem]

In order to solve the above-described problem, a scanning circuit of claim 1 is a scanning circuit in which shift registers that transfer digital signals in synchronization with a clock signal are divided into plural blocks per plural rows and in which the clock signal is successively supplied per block unit, wherein the scanning circuit is disposed with a clock control circuit that selectively supplies the clock signal only to a block including shift registers to which the digital signals are to be transferred, and the clock signal supplied to the block from the clock control circuit includes an overlap of at least one clock with respect to the clock signal supplied to a block adjacent to that block.

[0029]

According to the above-described configuration, because the clock signal is selectively supplied only to a block including shift registers to which the digital signals are to be transferred, the number of shift registers to which

the clock signal is simultaneously supplied is reduced. As a result, power consumed in order to drive parasitic capacitance of the clock signal line, i.e., wiring capacity and input gate capacity of the shift registers of the internal clock signal line input-connected within each block of the shift registers, can be considerably reduced.

[0030]

Moreover, because the clock signal supplied to the blocks includes the overlap of at least one clock with respect to the clock signal supplied to the block adjacent to that block, the fall and rise can be transferred when the pulse signals outputted from the shift registers are to be transferred from the shift registers of a certain block to the shift registers of the next block. As a result, pulse signals having a proper pulse width can be transferred, and the operation of the drive circuit can be properly retained.

[0031]

In order to solve the above-described problem, a scanning circuit of claim 2 has the configuration of claim 1, wherein a fixed bias is supplied to the blocks to which the clock signal is not supplied.

[0032]

According to the above-described configuration, in addition to the action of claim 1, because a fixed bias is applied to the blocks to which the clock signal is not supplied,

wrong operation of the shift registers, such as wrongly outputting a pulse signal resulting from noise or the like within the shift registers, can be eliminated.

[0033]

In order to solve the above-described problem, a scanning circuit of claim 3 has the configuration of claim 1 or 2, wherein the scanning circuit is configured by a polycrystalline silicon thin-film transistor.

[0034]

According to the above-described configuration, because the scanning circuit is configured by a polycrystalline silicon thin-film transistor, element reliability is high and the scanning circuit can be made into a circuit element where the effect of reducing power consumption becomes even larger.

[0035]

The reason for this is because usually, in a scanning circuit configured by a polycrystalline silicon thin-film transistor, the element size is larger in comparison to a scanning circuit configured by a single crystal silicon thin-film transistor having an equivalent performance and a high drive voltage is required, but because power consumption is small in the scanning circuit of claim 1 or 2, an increase in the overall power consumption of the scanning circuit can be curbed even in a case where, as described above, a high

drive voltage is required.

[0036]

In order to solve the above-described problem, an image display device of claim 4 comprises: plural pixels disposed in a matrix; plural data signal lines that supply a picture data to be written to each pixel; plural scanning signal lines that supply a control signal that controls the writing of picture signal to the pixels; a data signal line drive circuit that includes a scanning circuit that transfers a timing signal in synchronization with a clock signal from the outside and outputs the picture signal to the data signal lines in synchronization with the timing signal outputted from the scanning circuit; and a scanning signal line drive circuit that includes a scanning circuit that transfers a timing signal in synchronization with a clock signal from the outside and outputs the control signal to the scanning signal lines in synchronization with the timing signal outputted from the scanning circuit, wherein the scanning circuit of any of claims 1 to 3 is used for at least one of the scanning circuits that the data signal line drive circuit and the scanning signal line drive circuit have.

[0037]

According to the above-described configuration, the scanning circuit of any of claims 1 to 3 is used for at least one of the scanning circuits that the data signal line drive

circuit and the scanning signal line drive circuit have, whereby pulse signals having a proper pulse width within the scanning circuit can be transferred. Thus, because the picture signal can be appropriately supplied to the pixels that are to be displayed, display deterioration resulting from wrong signals can be eliminated, and high-quality image display becomes possible. Also, because the clock signal is supplied per block unit in the scanning circuit, the power consumed in each clock signal line can be kept as low as possible. Thus, it becomes possible to reduce the overall power consumption of the image display device.

[0038]

In order to solve the above-described problem, an image display device of claim 5 has the configuration of claim 4, wherein at least one of the data signal line drive circuit and the scanning signal line drive circuit is formed together with the pixels on a same substrate.

[0039]

According to the above-described configuration, in addition to the action of claim 4, at least one of the data signal line drive circuit and the scanning signal line drive circuit is formed together with the pixels on the same substrate, whereby it becomes possible to form each drive circuit with the pixels at one time by the same process.

[0040]

Thus, mounting costs of the drive circuits can be reduced and the reliability of the drive circuits can be improved. In other words, in a case where the drive circuits and the pixels are formed separately, a process to connect the drive circuits and the pixels is necessary, and a poor connection or the like can arise due to this process and lead to a drop in the reliability of the circuit. However, by forming the drive circuits and the pixels at one time by the same process, as in the present application, a superfluous process can be omitted. Thus, because defects resulting from the process by which the drive circuits and the pixels are connected can be eliminated, the reliability of the circuit can be improved.

[0041]

[Embodiments of the Invention]

[First Embodiment]

A first embodiment of the invention will be described on the basis of Figs. 1 to 7 as follows.

[0042]

As shown in Fig. 1, a scanning circuit pertaining to the present embodiment has a configuration disposed with plural rows of series-connected shift registers 1 and a clock control circuit 2 serving as clock signal supply means that supplies a clock signal to the shift registers 1.

[0043]

In the scanning circuit of the above-described configuration, the shift registers 1 are divided into plural blocks B_i ($i=1, 2, \dots, m$), and the clock signal outputted from the clock control circuit 2 is supplied to the shift registers 1 per block unit. That is, the clock signal from the clock control circuit 2 is simultaneously inputted to the shift registers 1 included within a single block. It should be noted that, although the number of rows of shift registers 1 included in one block B_i is not particularly limited, it is best for the number of rows of shift registers 1 to which the clock signal is simultaneously supplied to be as small as possible in view of power consumption.

[0044]

A clock signal CLK from the outside and a block selection signal BLK_i ($i=1, 2, \dots, m$) that selectively controls the blocks B_i to which the clock signal is supplied are inputted to the clock control circuit 2, and the clock control circuit 2 selectively outputs the clock signal CLK as an internal clock signal CK_i ($i=1, 2, \dots, m$) corresponding to each block B_i ($i=1, 2, \dots, m$) on the basis of the block selection signal BLK_i . It should be noted that, in Fig. 1, inversion signals of the clock signal CLK and the internal clock signal CK_i are omitted.

[0045]

The internal clock signal CK_i corresponding to each

block B_i is inputted to the plural series-connected shift registers 1. In other words, a clock signal CKI₁ is inputted to block B₁, a clock signal CKI₂ is inputted to block B₂, and a clock signal CKI_m is inputted to block m. Moreover, a start signal ST, which is a pulse signal, is inputted to the first row of block B₁. The internal clock signal CKI_i is inputted to the shift registers 1, whereby the start signal ST, which is a pulse signal, is transferred and outputted in synchronization with the internal clock signal CKI_i.

[0046]

Each signal in the scanning circuit of the above-described configuration will be described below with reference to Fig. 2.

[0047]

The block selection signal BLK_i is outputted so that a period of a high level (referred to below as an active state) becomes a length corresponding to at least the scanning time of each block B_i (number of rows of the shift registers 1). Thus, when the block selection signal BLK_i is in the active state, the clock control circuit 2 supplies, to the block B_i corresponding to the block selection signal BLK_i, the clock signal CLK from the outside as the internal clock signal CKI_i.

[0048]

Also, the block selection signal BLK_i is inputted to the clock control circuit 2 so that the internal clock signal CKI_i

supplied to the corresponding block B_i has an overlap of at least one clock with respect to an internal clock signal CKI_{i+1} supplied to the block B_{i+1} adjacent to the block B_i . For example, as shown in Fig. 2, the block selection signal BLK_1 has an overlap of one clock of the clock signal CLK with respect to the block selection signal BLK_2 . In accompaniment therewith, an overlap between the internal clock signal CKI_1 and the internal clock signal CKI_2 is also one clock.

[0049]

It is necessary for the overlap width of the internal clock signal CKI_i to be at least equal to or greater than the pulse width of the signal to be transferred in order for the transfer of the pulse signal in the shift registers 1 to be properly conducted. In an ordinary scanning circuit, it is sufficient that there is an overlap equal to or greater than one clock. However, when it is necessary to transfer a signal of a longer pulse width, an overlap width matching the longer pulse width becomes necessary. For example, when it is necessary to transfer a signal of a pulse width of three clocks, an overlap width equal to or greater than three clocks becomes necessary.

[0050]

As described above, the internal clock signal CKI_i supplied from the clock control circuit 2 to the block B_i includes the overlap of at least one clock with respect to

the internal clock signal CKI_{i+1} supplied to the block B_{i+1} adjacent to the block B_i, whereby both the rise and fall of the pulse signal in the shift registers 1 can be transferred.

[0051]

Thus, it is possible to avoid a situation where only one of the rise and fall of the transferred signal can be transferred, as in a case where there is no overlap in the internal clock signal CKI_i.

[0052]

Here, a specific example of the configuration of the shift registers 1 and the clock control circuit 2 configuring the above-described scanning circuit will be described below.

[0053]

As shown in Fig. 3, each shift register 1 comprises two clock inverters (CINV) and one inverter (INV). Internal clock signals CKI_i that have mutually opposite phases and are generated by the clock control circuit 2 are inputted to the two clock inverters.

[0054]

That is, the shift register 1 of the first row transfers and outputs the start signal ST, which is a pulse signal serving as an input signal, in synchronization with the inputted internal clock signal CKI₁ and an inversion signal bar CKI₁ (a "/" will be added to the inversion signal below).

[0055]

As shown in Fig. 4, the clock control circuit 2 comprises plural NAND (nonconjunction AND) circuits N_i ($i=1, 2, \dots, m$) and inverters respectively connected to these NAND circuits N_i . The clock signal CLK and the block selection signals BLK_i corresponding to the respective NAND circuits N_i are inputted to the NAND circuits N_i . The internal clock signals CK_i are outputted from the NAND circuits N_i on the basis of the block selection signals BLK_i .

[0056]

That is, in the clock control circuit 2, the internal clock signal CK_i is outputted to the corresponding block when the block selection signal BLK_i is active (at the time of block selection), and a fixed bias is outputted when the block selection signal BLK_i is inactive (at the time of block non-selection).

[0057]

In this manner, a fixed bias is supplied to the blocks B_i that are not selected, whereby the shift registers can retain a stable state. Thus, because the voltage level of internal nodes is not changed by noise or the like inside the shift registers 1, wrong operation resulting from a pulse signal or the like outputted in accompaniment with changes in this voltage level can be avoided.

[0058]

It should be noted that, although the internal clock

signal CKIi and the inversion signal /CKIi thereof are generated from one clock signal CLK inputted from the outside in the example of the configuration of the clock control circuit shown in Fig. 4, the clock control circuit is not limited thereto and may be configured to output the internal clock signal CKIi and the inversion signal thereof /CKIi thereof by inputting the clock signal CLK and the inversion signal /CKIi thereof from the outside.

[0059]

As shown, for example, in Fig. 5, as the clock control circuit of the above configuration, there is a configuration disposed with plural transfer gates Gi (i=1, 2, ..., m). Each transfer gate Gi is disposed with two n-channel transistors Tr1 and Tr2 as switching elements.

[0060]

The same block selection signal BLKi is respectively inputted to gate electrodes of the transistors Tr1 and Tr2, the clock signal CLK from the outside is inputted to a source electrode of the transistor Tr1 and the inversion signal /CLK of the clock signal CLK from the outside is inputted to a source electrode of the transistor Tr2. The internal clock signal CKIi and the inversion signal /CKIi thereof are outputted from drain electrodes of the transistors Tr1 and Tr2 depending on whether or not the state of the block selection signal BLKi is the active state.

[0061]

However, in the clock control circuit 2 of the above-described configuration, because the transfer gates G_i are simply switched ON and OFF by the block selection signal BLK_i , the transfer gates G_i have a high impedance when the transfer gates G_i are in an OFF state—i.e., at the time of non-selection. Thus, there is the potential for the voltage level of the internal nodes to change due to noise or the like. For this reason, there is the potential for wrong operation resulting from an wrongly outputted pulse signal from a non-selected gate G_i to arise.

[0062]

Thus, in order to eliminate such wrong operation, it is necessary to configure the clock control circuit so that a fixed bias is applied to the signal lines for supplying the internal clock signal CK_i and the inversion signal $/CK_i$ when the block selection signal BLK_i is inactive—i.e., at the time of non-selection of the blocks B_i .

[0063]

As a clock control circuit of such a configuration, there is, for example, as shown in Fig. 6, a clock control circuit disposed, in addition to the transistors Tr_1 and Tr_2 disposed inside the transfer gates G_i , with INVs that invert the block selection signal BLK_i and transistors Tr_3 and Tr_4 where the outputs from these INVs are respectively inputted

to gate electrodes. It should be noted that, similar to the transistors Tr1 and Tr, n-channel transistors are used for the transistors Tr3 and Tr4.

[0064]

In each transistor Tr3, a high-voltage power supply VDD is connected to a source electrode, and the drain electrode of the transistor Tr1 and the signal line of the internal clock signal CKIi are connected to a drain electrode.

[0065]

In each transistor Tr4, a low-voltage power supply VSS is connected to a source electrode, and the drain electrode of the transistor Tr2 and the signal lines for supplying the internal clock signal CKIi and the inversion signal /CKIi thereof are connected to a drain electrode.

[0066]

Thus, in the clock control circuit of the above-described configuration, the transistors Tr1 and Tr2 are both switched to the ON state as long as the block selection signal BLKi is in the active state, and the clock signal CLK and the inversion signal /CLK from the respective source electrodes are outputted as the internal clock signal CKIi and the inversion signal /CKIi thereof. At this time, in the INV, because the block selection signal BLKi is inverted, the transistors Tr3 and Tr4 are switched to the OFF state and the high voltage from the high-voltage power supply

VDD and the low voltage from the low-voltage power supply VSS are not applied to the signal lines for supplying the internal clock signal CKIi and the inversion signal /CKIi thereof.

[0067]

Also, the transistors Tr1 and Tr2 are switched to the OFF state as long as the block selection signal BLKi is in the inactive state, and the block selection signal BLKi is inverted to the active state by the INV. Thus, the transistors Tr3 and Tr4 are both switched to the ON state, and the high voltage from the high-voltage power supply VDD and the low voltage from the low-voltage power supply VSS are applied to the signal lines for supplying the internal clock signal CKIi and the inversion signal /CKIi thereof.

[0068]

In this manner, in the clock control circuit 2 shown in Fig. 6, because a fixed voltage is applied to the signal lines for supplying the internal clock signal CKIi and /CKIi when the block selection signal BLKi is in the inactive state, a stable voltage is applied to the signal lines when the transfer gates Gi are in the OFF state—i.e., at the time of non-selection—even if the voltage level of the internal nodes is changed by noise or the like. As a result, a situation where a pulse is wrongly outputted from a non-selected gate Gi can be avoided.

[0069]

It should be noted that, although only n-channel transistors are used as the transistors used for the transfer gates GI in both of the scanning circuits shown in Figs. 5 and 6, the invention is not limited thereto. The transfer gates may also be transfer gates of a CMOS configuration using the inversion signal /BLKi of the block selection signal BLKi.

[0070]

Next, an example of the circuit that generates the block selection signal BLKi will be described with reference to Fig. 7.

[0071]

As shown in Fig. 7, the block selection signal generation circuit comprises a divider 11 that divides the frequency of the clock signal CLK from the outside into one of the shift registers within each block (e.g., in a case where shift registers of 640 rows are divided into 20 blocks of 32 rows, there are 32 dividers), plural shift registers 12 that are operated by a divided clock signal CKX, plural shift registers 13 that are operated by the external clock signal CLK, and OR circuits 14 that output the logical sum of the outputs from the shift registers 12 and the shift registers 13.

[0072]

The block selection signal generation circuit of the above-described configuration outputs the block selection

signal BLKi having an overlap of the number of rows of the shift registers 13. Thus, by adjusting the number of rows of the shift registers 13, it is possible to output a block selection signal BLKi corresponding to the pulse width of the signal to be transferred. Because there are three rows of shift registers 13 in the example of Fig. 7, the adjacent internal clock signals CKIi and CKIi+1 correspond to signals having an overlap of three clocks. In other words, as long as the shift registers 13 are in one row, the overlap of the internal clock signals CKI becomes one clock. Additionally, the generated block selection signal BLKi is inputted to the clock control circuit 2.

[0073]

As described above, in the scanning circuit of the present embodiment, because the number of shift registers 1 to which the clock signal CLK from the outside is simultaneously supplied is limited by the block selection signal BLKi, power consumed in the clock signal line supplying the internal clock signal CKIi can be reduced in comparison to the case where the clock signal CLK is simultaneously supplied to all of the shift registers 1.

[0074]

Thus, in the scanning circuit of the present embodiment, the effect of reducing power consumption becomes larger because the element size of the transistor is larger than that

of a single crystal silicon thin-film transistor having an equivalent performance, as in the case where the scanning circuit is configured by a polycrystalline silicon thin-film transistor, and the consumption of power consumed in the clock signal line can be reduced in a case where it is necessary to supply a high drive voltage.

[0075]

Thus, in the scanning circuit of the above-described configuration, by configuring the circuit to have an overlap in the clock signal supplied to adjacent blocks, proper transfer of the signal becomes possible and, by reducing the number of rows of shift registers to which the clock signal is inputted, consumption of power resulting from parasitic capacitance of the clock signal line becomes possible.

[0076]

Although the scanning circuit described in the present embodiment is used in various fields, description will next be given of a case where, in the second embodiment below, it is used for at least one of a data signal line drive circuit and a scanning signal line drive circuit disposed in an image display device—particularly a liquid crystal display device. However, the scanning circuit of the invention is not limited to the example where it is used in the liquid crystal display device and can also be used in other fields with the same purpose.

[0077]

[Second Embodiment]

A second embodiment of the invention will be described on the basis of Figs. 8 to 12 as follows. For convenience of explanation, the same reference numerals will be given to members having the same functions as members used in the preceding embodiment, and description thereof will be omitted. Also, in the present embodiment, description will be given of an active matrix drive-format liquid crystal display device.

[0078]

As shown in Fig. 8, the liquid crystal display device serving as the image display device of the present embodiment comprises a pixel array 21, a data signal line drive circuit 22 and a scanning signal line drive circuit 23.

[0079]

Arranged in the pixel array 21 are numerous scanning signal lines GL_i ($i=1, 2, \dots, x$) and numerous data signal lines SL_i ($i=1, 2, \dots, m$), which mutually intersect, and pixels 24 are disposed at portions enclosed by two adjacent scanning signal lines GL and two adjacent data signal lines SL. That is, in the pixel array 21, plural pixels 24 are disposed in a matrix. It should be noted that the number of pixels 24 is equal to $x \times y$, and that the number of pixels 24 is 640×480 in a VGA panel and 1024×768 in an XGA panel.

[0080]

As shown in Fig. 9, each pixel 24 is configured by a field-effect transistor 25 serving as a switching element, a liquid crystal capacity 26 and an auxiliary capacity 27. Although the pixel capacity is formed by the liquid crystal capacity 26 and the auxiliary capacity 27, the auxiliary capacity 27 may be disposed as needed.

[0081]

The data signal line SL is connected to a source electrode of the field-effect transistor 25, and the scanning signal line GL is connected to a gate electrode. Also, an electrode of the liquid crystal capacity 26 and an electrode of the auxiliary capacity 27 are connected in parallel to a drain electrode of the field-effect transistor 25.

[0082]

Another electrode of the liquid crystal capacity 26 and another electrode of the auxiliary capacity 27—i.e., electrodes not connected to the drain electrode of the field-effect transistor 25—are connected to a common electrode line (not shown) common to the pixels 24. The liquid crystal capacity 26 is provided for display due to the transmissivity or reflectivity being changed by a voltage applied thereto.

[0083]

As described above, in each pixel 24, the field-effect

transistor 25 is switched ON and OFF by a timing of a signal supplied to the data signal line GL and a signal supplied to the scanning signal line GL and a voltage is applied to the liquid crystal capacity 26 and the auxiliary capacity 27.

[0084]

As shown in Fig. 8, in the data signal line drive circuit 22, the plural data signal lines SL are connected thereto, a clock signal CKS, a start signal SPS and a data signal DAT, which is a picture signal, are inputted, the data signal DAT is sampled in synchronization with the inputted clock signal CKS and start signal SPS, amplified as needed, and written to each data signal line SL.

[0085]

In the scanning signal line drive circuit 23, the plural scanning signal lines GL are connected thereto, a clock signal CKG, a start signal SPG and a pulse signal GPS are inputted, the scanning signal lines GL are successively selected in synchronization with the inputted clock signal CKG and start signal SPG, and the opening and closing of the switching elements inside the pixels 24 are controlled, whereby the picture signal (data signal DAT) written to each data signal line SL is written to each pixel 24 and the data signal DAT written to each pixel 24 is retained.

[0086]

Here, an example of a circuit where the scanning circuit

of the first embodiment is applied to the data signal line drive circuit 22 and the scanning signal line drive circuit 23 will be described below on the basis of Figs. 10 to 12.

[0087]

First, description will be given of the data signal line drive circuit 22. Due to differences in the formats by which picture signals are written to the data signal lines SL, there are a point-sequential drive format and a line-sequential drive format for the data signal line drive circuit 22.

[0088]

As shown, for example, in Fig. 10, the data signal line drive circuit 22 of the point-sequential drive format comprises plural series-connected shift registers 1, buffer circuits 31 connected to output terminals of the shift registers 1, and sampling switches 32 that sample the data signal from the picture signal line 33.

[0089]

Similar to the first embodiment, the shift registers 1 are divided into plural blocks B_i per plural rows, and the clock signal CKS from the outside is inputted per block B_i unit. That is, a clock signal CKS1 is simultaneously inputted to the shift registers 1 of block B1, and a clock signal CKS2 is simultaneously inputted to the shift registers 1 of block B2.

[0090]

The clock signal CKSi is selectively inputted, together with the start signal SPS, to the shift registers 1, whereby the shift registers 1 output the pulse signals to the buffer circuits 31 in synchronization with the clock signal CKSi.

[0091]

The buffer circuits 31 retain and amplify the pulse signals outputted from the shift registers 1 and generate inversion signals as needed.

[0092]

The sampling switches 32 are switched ON and OFF in synchronization with the pulse signals outputted from the shift registers 1 via the buffer circuits 31, whereby the sampled data signal DAT is written to the data signal line SL.

[0093]

Thus, in the scanning circuit of the above-described configuration, the data signal DAT, which is a picture signal inputted to the picture signal line 33, is written to the data signal lines SL by opening and closing the sampling switches 32 in synchronization with the output pulses of each row of shift registers 1.

[0094]

Also, as shown, for example, in Fig. 11, the scanning circuit of the line-sequential drive format comprises, in addition to the data signal line drive circuit of the

point-sequential drive format (Fig. 10), sampling capacities 34 and sampling switches 35 connected in parallel to output terminals of the sampling switches 32, and sampling capacities 36 and signal amplification amps 37 connected in parallel to output terminals of the sampling switches 35.

[0095]

The sampling capacities 34 temporarily store the data signal DAT sampled by the sampling switches 32, and the sampling switches 35 sample the data signal DAT stored in the sampling capacities 34 in synchronization with a pulse transfer signal TF from a transfer signal line 38.

[0096]

Also, the sampling capacities 36 temporarily store the data signal DAT sampled by the sampling switches 35, and the signal amplification amps 37 amplify the data signal DAT and write it to the data signal lines SL.

[0097]

The data signal DAT temporarily stored in the sampling capacities 34 is outputted via the signal amplification amps 37 in the next horizontal scanning period. That is, the data signal DAT stored in the same horizontal scanning period is outputted in the next horizontal scanning period.

[0098]

Usually, because the sampling capacities 34 and the sampling capacities 36 are smaller than the capacities of the

data signal lines SL, the time in which the data signal DAT, which is a picture signal, is written to the picture signal line 33 is only one of the number of data signal lines SL of an effective horizontal scanning period (about 80% of the horizontal scanning period). Thus, even in a case where the time constant (product of capacity and resistance) of the data signal lines SL becomes large in accompaniment with an increase in screen size or a case where the sampling time becomes short for high definition, sufficient writing can be conducted. For this reason, it will be understood that the line-sequential drive format is more preferable than the point-sequential drive format when used as the data signal line drive circuit 22.

[0099]

Next, description will be given of the scanning signal line drive circuit 23. As shown, for example, in Fig. 12, in the scanning signal line drive circuit 23, buffer circuits 31 are connected to the output terminals of the shift registers 1, logic circuits 42 are connected to the output terminals of the buffer circuits 31, and buffer circuits 43 are connected.

[0100]

The pulse signal GPS is inputted from a pulse signal line 41 to the logic circuits 42 and a logic operation is performed thereon with the pulse signals from the shift registers 1

outputted from the buffer circuits 31.

[0101]

In each buffer circuit 43, the result of the logic operation by the logic circuit 42 is amplified as needed and outputted to the scanning signal lines GL as control signals for sampling the data signal DAT written to the data signal lines SL.

[0102]

As described above, by using the scanning circuit described in the first embodiment for both of the data signal line drive circuit 22 and the scanning signal line drive circuit 23, it becomes possible to reduce power consumption in regard to the clock signal for driving the scanning circuit and a liquid crystal display that is a low power-consuming image display device can be realized.

[0103]

To describe the above-described effects in relation to power consumption, because the data signal line drive circuit 22 can be driven at a frequency several hundred to several thousand times more (640 times or greater in a case where the pixel array 21 is a VGA panel and 1024 times or greater in a case where the pixel array 21 is an XGA panel) in comparison to the scanning signal line drive circuit 23, the effect of further reduced power consumption can be provided. However, even in the scanning signal line drive circuit 23, the effect

of reduced power consumption can be provided even though it is smaller than the effect in the data signal line drive circuit 22.

[0104]

Moreover, in the case where the scanning circuit described in the first embodiment is used for either one of the data signal line drive circuit 22 and the scanning signal line drive circuit 23, the internal clock signal CKIi supplied to the shift registers 1 of each block Bi includes the overlap of at least one clock with respect to the internal clock signal CKIi+1 supplied to the block Bi+1 adjacent to the block Bi. Thus, both the rise and fall of the pulse signals in the shift registers 1 can be transferred.

[0105]

Thus, a situation where only one of the rise or fall of the transferred signal can be transferred, as in a case where there is no overlap in the internal clock signal CKIi, can be avoided.

[0106]

Thus, because the data signal DAT, which is a picture signal, from the data signal line drive circuit 22 can be accurately written to the data signal lines SL in synchronization with the pulse signal, display definition can be improved.

[0107]

Also, the pixel array 21 and one of either the data signal line drive circuit 22 and the scanning signal line drive circuit 23 may be formed on the same substrate. In this case, it becomes possible to manufacture the data signal line drive circuit 22 and the scanning signal line drive circuit 23 by the same process, and the process of connecting (mounting step) each drive circuit to the pixel array 21 can be omitted, whereby it becomes possible to reduce the costs and improve the reliability of the image display device.

[0108]

In other words, in a case where the data signal line drive circuit 22 or the scanning signal line drive circuit 23 and the pixel array 21 are formed separately, a process for connecting the drive circuits and the pixels is necessary, and a poor connection or the like can arise due to this process and lead to a drop in the reliability of the circuit. However, by forming the drive circuits and the pixels at one time by the same process, as in the present application, a superfluous process can be omitted. Thus, because defects resulting from the process by which the drive circuits and the pixels are connected can be eliminated, the reliability of an image display device having a drive circuit disposed with a scanning circuit can be improved.

[0109]

Below, description will be given of a liquid crystal

display device where the pixel array 21, the data signal line drive circuit 22 and the scanning signal line drive circuit 23 are formed on the same substrate.

[0110]

As shown in Fig. 13, the present liquid crystal display device is formed as a polycrystalline silicon thin-film transistor where the data signal line drive circuit 22 and the scanning signal line drive circuit 23 are disposed with the pixel array 21 on the same insulating substrate 51.

[0111]

A timing signal generation circuit 52 is connected to the data signal line drive circuit 22 and the scanning signal line drive circuit 23. In the timing signal generation circuit 52, the data signal DAT, the clock signal CKS and a start signal STS, which are outputted to the data signal line drive circuit 22, and the clock signal CKG, a start signal SPG and the pulse signal GPS, which are outputted to the scanning signal line drive circuit 23, are generated as timing signals.

[0112]

By forming the liquid crystal device as a polycrystalline silicon thin-film transistor where the data signal line drive circuit 22 and the scanning signal line drive circuit 23 are disposed with the pixel array 21 on the same insulating substrate 51, it becomes possible to

manufacture the data signal line drive circuit 22 and the scanning signal line drive circuit 23 in the same process, and the process of connecting (mounting step) each drive circuit to the pixel array 21 can be omitted, whereby it becomes possible to reduce costs relating to the manufacture of the image display device and defects arising in the connection process can be eliminated, whereby the reliability of the image display device can be improved.

[0113]

Moreover, a power-supply voltage generation circuit 53 is connected to the data signal line drive circuit 22 and the scanning signal line drive circuit 23. The power-supply voltage generation circuit 53 generates low-power voltages VSL and VGL and high-power voltages VSH and VGL that are supplied to the data signal line drive circuit 22 and the scanning signal line drive circuit 23, and a COM voltage that is supplied to common electrodes connected in common with each pixel 24 of the pixel array 21 is generated.

[0114]

In other words, the liquid crystal display device shown in Fig. 13 has a configuration where the low-power voltages VSL and VGL and the high-power voltages VSH and VGL are applied to the data signal line drive circuit 22 and the scanning signal line drive circuit 23 by the power-supply voltage generation circuit 53. For this reason, it is preferable to

use, as the scanning circuit used for the data signal line drive circuit 22 and the scanning signal line drive circuit 23, the scanning circuit shown in Fig. 6 described in the first embodiment configured to apply a fixed bias to the non-selected blocks Bm.

[0115]

It should be noted that, although there are places in each of the above-described embodiments that describe only one signal line with respect to the clock signal line and the block selection signal line, the invention is configured so that inversion signal lines to which inversion signals of each are supplied are disposed and wired with a configuration that is the same as that of the clock signal line and the block selection signal line.

[0116]

[Effects of the Invention]

As described above, the scanning circuit of claim 1 has a configuration in which shift registers that transfer digital signals in synchronization with a clock signal are divided into plural blocks per plural row and in which the clock signal is successively supplied per block unit, wherein the scanning circuit is disposed with a clock control circuit that selectively supplies the clock signal only to a block including shift registers to which the digital signals are to be transferred, and the clock signal supplied to the block

from the clock control circuit includes an overlap of at least one clock with respect to the clock signal supplied to a block adjacent to that block.

[0117]

Thus, because the number of shift registers to which the clock signal is simultaneously supplied is reduced, power consumed in order to drive parasitic capacitance of the clock signal line, i.e., wiring capacity and input gate capacity of the shift registers of the internal clock signal line input-connected within each block of the shift registers, can be considerably reduced.

[0118]

Moreover, because the fall and rise can be transferred when the pulse signals outputted from the shift registers are to be transferred from the shift registers of a certain block to the shift registers of the next block, there are the effects that a pulse signal having a proper pulse width can be transferred and the operation of the scanning circuit can be properly retained.

[0119]

As described above, the scanning circuit of claim 2 has a configuration where, in addition to the configuration of claim 1, a fixed bias is supplied to the blocks to which the clock signal is not supplied.

[0120]

Thus, in addition to the effects resulting from the configuration of claim 1, because a fixed bias is applied to the blocks to which the clock signal is not supplied, there is the effect that wrong operation of the shift registers, such as wrongly outputting a pulse signal resulting from noise or the like within the shift registers, can be eliminated.

[0121]

As described above, the scanning circuit of claim 3 has a configuration where, in addition to the configuration of claim 1 or 2, the scanning circuit is configured by a polycrystalline silicon thin-film transistor.

[0122]

Thus, because an increase in power consumption can be curbed by a high drive voltage, the scanning circuit is configured by a polycrystalline silicon thin-film transistor, whereby there are the effects that the reliability of the elements is high and the scanning circuit can be made into a circuit element where there is little power consumption.

[0123]

As described above, the image display device of claim 4 has a configuration comprising: plural pixels disposed in a matrix; plural data signal lines that supply a picture signal to be written to each pixel; plural scanning signal lines that supply a control signal that controls the writing of picture data to the pixels; a data signal line drive circuit

that includes a scanning circuit that transfers a timing signal in synchronization with a clock signal from the outside and outputs the picture signal to the data signal lines in synchronization with the timing signal outputted from the scanning circuit; and a scanning signal line drive circuit that includes a scanning circuit that transfers a timing signal in synchronization with a clock signal from the outside and outputs the control signal to the scanning signal lines in synchronization with the timing signal outputted from the scanning circuit, wherein the scanning circuit of any of claims 1 to 3 is used for at least one of the scanning circuits that the data signal line drive circuit and the scanning signal line drive circuit have.

[0124]

Thus, because a pulse signal having a proper pulse width within the scanning circuit can be transferred, the picture signal can be appropriately supplied to the pixels that are to be displayed. Thus, because display deterioration resulting from wrong signals can be eliminated, high-definition image display becomes possible. Also, because power consumed by each clock signal line can be kept as low as possible in the scanning circuit, there is the effect that power consumption of the overall image display device can be reduced.

[0125]

As described above, the image display device of claim 5 has a configuration where, in addition to the configuration of claim 4, at least one of the data signal line drive circuit and the scanning signal line drive circuit is formed together with the pixels on a same substrate.

[0126]

Thus, in addition to the effects resulting from the configuration of claim 4, because it becomes possible to form each drive circuit together with the pixels at one time in the same process, there are the effects that mounting costs of the drive circuits can be reduced and the reliability of the drive circuits can be improved.

[Brief Description of the Drawings]

[Fig. 1] A schematic configuration block diagram of a scanning circuit pertaining to an embodiment of the invention.

[Fig. 2] A wave form diagram chart of signals in the scanning circuit shown in Fig. 1.

[Fig. 3] A schematic configuration block diagram of shift registers disposed in the scanning circuit shown in Fig. 1.

[Fig. 4] A schematic configuration block diagram of a clock control circuit disposed in the scanning circuit shown in Fig. 1.

[Fig. 5] Another schematic configuration block diagram of the clock control circuit disposed in the scanning circuit

shown in Fig. 1.

[Fig. 6] Yet another schematic configuration block diagram of the clock control circuit disposed in the scanning circuit shown in Fig. 1.

[Fig. 7] A schematic configuration block diagram of a block selection signal control circuit that generates a block selection signal supplied to the clock control circuit disposed in the scanning circuit shown in Fig. 1.

[Fig. 8] A schematic configuration diagram of an image display device pertaining to another embodiment of the invention.

[Fig. 9] A schematic configuration block diagram showing the vicinity of a pixel disposed in the image display device shown in Fig. 8.

[Fig. 10] A schematic configuration block diagram showing a data signal line drive circuit disposed in the image display device shown in Fig. 8.

[Fig. 11] Another schematic configuration block diagram showing the data signal line drive circuit disposed in the image display device shown in Fig. 8.

[Fig. 12] A schematic configuration block diagram showing a scanning signal line drive circuit disposed in the image display device shown in Fig. 8.

[Fig. 13] A schematic configuration block diagram of an image display device pertaining to another embodiment of the

invention.

[Fig. 14] A schematic configuration block diagram showing a conventional data signal line drive circuit.

[Fig. 15] Another schematic configuration block diagram showing a conventional data signal line drive circuit.

[Fig. 16] A schematic configuration block diagram showing a conventional scanning signal line drive circuit.

[Fig. 17] A schematic configuration block diagram showing a conventional scanning circuit.

[Fig. 18] A wave form chart of signals in the scanning circuit shown in Fig. 17.

[Description of Reference Numerals and Signs]

- 1 Shift Registers
- 2 Clock Control Circuit
- 21 Pixel Array
- 22 Data Signal Line Drive Circuit
- 23 Scanning Signal Line Drive Circuit
- 24 Pixels
- 51 Insulating Substrate (Substrate)
- SL Data Signal Lines
- GL Scanning Signal Lines

FIG. 1

2 CLOCK CONTROL CIRCUIT

FIG. 7

11 DIVIDER

FIG. 8

22 DATA SIGNAL LINE DRIVE CIRCUIT

23 SCANNING SIGNAL LINE DRIVE CIRCUIT

FIG. 13

22 DATA SIGNAL LINE DRIVE CIRCUIT

23 SCANNING SIGNAL LINE DRIVE CIRCUIT

53 POWER VOLTAGE GENERATION CIRCUIT